

## 屏蔽和防护

### 如何排除干扰型噪声

#### 方法及原理：一种理性方法

作者：Alan Rich

本文是关于干扰型噪声处理的两篇文章中的第二篇。在上篇发表在《模拟对话》的文章中（第16卷第3号16-19页），我们讨论了干扰的性质，描述了噪声源、耦合通道与接收器三个环节之间的关系，并从选择三个环节中的某一个加以治理的角度，介绍了抑制干扰的方法。

降低噪声耦合的方法之一是“屏蔽”。本文的目的是说明如何正确利用屏蔽来降低噪声。我们将要讨论的主题主要包括容性耦合引起的噪声、磁耦合引起的噪声以及有源屏蔽和防护。同时会提出一套指导原则，以及一些注意事项。

首先需要明确：屏蔽问题始终是可以合理解决的，并不神秘，但在处理实际问题时并不总是直截了当，必须具体问题具体分析。第一步必须识别噪声源、接收器和耦合介质。这一步如果判断错误，屏蔽和接地设计就会出错，最后的效果可能适得其反，甚至节外生枝。

屏蔽的作用可以从两方面来理解。第一，屏蔽可以将噪声限制在一个有限的区域内，从而避免其扩散并影响周围的重要电路。不过，如果噪声的返回路径规划和实施不当、接地错误或者连接不正确，则屏蔽所捕获的噪声仍然会产生不利影响。

第二，对于系统内的噪声，可以在关键电路周围实施屏蔽，以避免噪声侵入电路的敏感部分。用金属盒子把电路包起来，以及电缆芯线的金属包层都是这方面的实例。同样，连接屏蔽的位置和方法也很重要。

#### 容性耦合噪声

对于源自电场的噪声，屏蔽的工作原理是：外部电位  $V_1$  所产生的感应电荷  $Q_2$  无法存在于封闭导电表面之内（图1）。

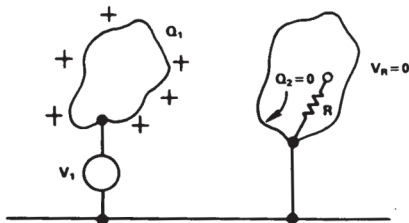


图1. 电荷  $Q_1$  无法在封闭金属壳内感应电荷

由于不同电路间的相互作用或者说是寄生效应，杂散电容耦合可以等效为图2所示的电路模型。图中  $V_n$  表示噪声源（如开关晶体管、TTL 门电路等）， $C_s$  表示杂散电容， $Z$  表示接收器阻抗（如高增益放大器输入端与地之间的旁路电阻）， $V_{no}$  表示加在  $Z$  上的输出噪声电压。

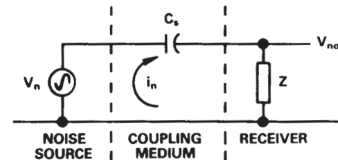


图2. 噪声源与附近阻抗之间的容性耦合的等效电路

该电路的噪声电流为  $i_n = V_n / (Z + Z_{Cs})$ ，则在接收器上产生的噪声电压为  $V_{no} = V_n / (1 + Z_{Cs}/Z)$ 。如果  $C_s = 2.5 \text{ pF}$ ， $Z = 10 \text{ k}\Omega$ （阻性），并且  $1.3 \text{ MHz}$  频率时的  $V_n = 100 \text{ mV}$ ，则输出噪声为  $20 \text{ mV}$ （等于  $10 \text{ V}$  满摆幅的  $0.2\%$ ；对于  $12$  位模数变换器而言，相当于  $8 \text{ LSB}$  的误差）。

一定要记住：即使是很小的杂散电容，也会对敏感电路产生影响。当今的电子系统常常包含低功耗（意味着阻抗更高）、高速度（意味着节点杂散电容更小、信号边沿更陡峭、信号频率更高）和高分辨率（输出噪声容限更小）电路，因此这个问题尤其应该引起重视。

对图2的电路实施屏蔽后，其等效电路变为图3所示的模型。假设屏蔽体阻抗为  $0$ ，则在环路 A-B-D-A 内流动的噪声电流为  $V_n / Z_{Cs1}$ ，而在环路 D-B-C-D 内的噪声电流为  $0$ ，这是因为该环路中没有信号源。由于噪声电流为  $0$ ，因此负载  $Z$  上的噪声电压为  $0$ 。这样一来，敏感电路就被屏蔽体保护起来，不受噪声源  $V_n$  的影响。

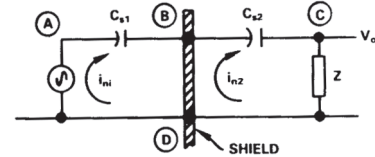


图3. 在噪声源与阻抗之间加入屏蔽体后，图2的等效电路

#### 实施静电屏蔽的指导原则

- 要发挥静电屏蔽的作用，必须将其连接到所有被屏蔽电路的参考电位上。如果信号的参考电位是机壳或大地（即与金属机壳/框架和/或大地相连），则屏蔽体必须接机壳或大地。但如果信号的参考电位不是大地，那么即便将屏蔽体接地，也起不到屏蔽效果。

- 应将屏蔽电缆的屏蔽导线单点连接到信号参考节点的参考电位（图4）。
- 如果屏蔽体被隔断成多个部分——比如使用连接器的情况，那么应该将各部分首尾相接，然后单点连接到信号参考节点（图5）。

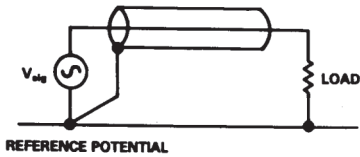


图4. 电缆屏蔽体的接地方法

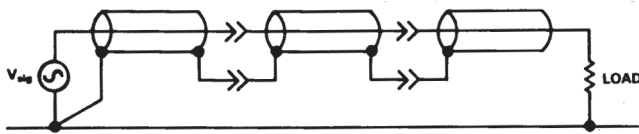


图5. 隔断的屏蔽体必须相互连接起来

- 系统中需要测量的独立信号有多少，屏蔽体就要有多少，二者要一一对应。每路信号都要有专用的屏蔽体，除非多个信号源采用相同的参考电位（信号地），否则任何一个屏蔽体都不要与其它屏蔽体相连。如果系统中有一个以上的信号地（图6），那么各屏蔽体应分别连接到相应的参考电位。

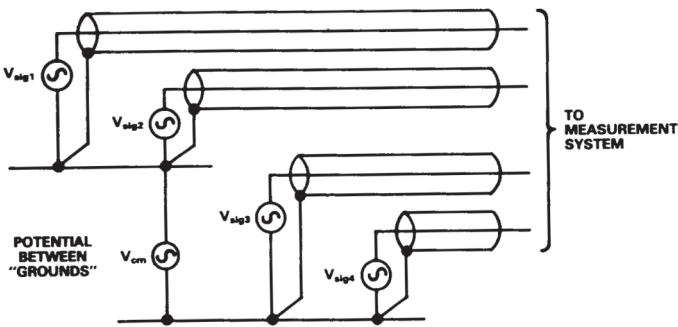


图6. 多路信号应该使用各自的屏蔽体，各屏蔽体应连接到相应信号的参考电位

- 屏蔽体决不能两端接“地”。两个“地”之间可能存在电位差，导致屏蔽体中产生电流（如图7）。该屏蔽电流激发的磁场会在屏蔽体内感应出噪声电压。在上一篇文章中就此举过一个例子（详见《模拟对话》16-3第18页图10）。

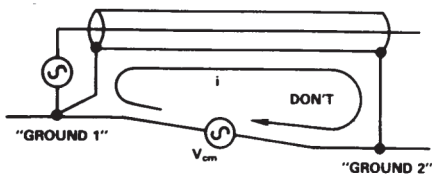
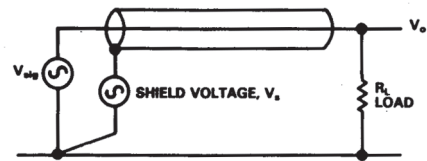
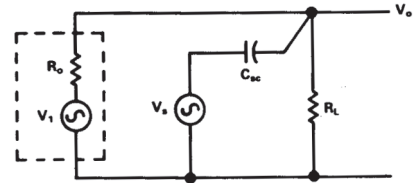


图7. 屏蔽体决不能多点接地

- 屏蔽体内决不能有电流（后文所述情况除外），因为该电流会在被屏蔽体保护的电路中产生感应电压。
- 屏蔽体与参考电位之间决不能有电位差（本文后面所述的防护罩情况除外），因为该电位差会容性耦合至屏蔽体内（或多个屏蔽体内在多屏蔽体的情况下）。若屏蔽体上的电压为 $V_s$ ，则此时的电路如图8所示。



a. 屏蔽体电位  $V_s$



b. 等效电路

图8. 屏蔽体与参考电位之间决不能有电位差

$V_s$  所产生的输出噪声电压为：

$$V_o = \frac{V_s}{\sqrt{1 + \frac{1}{(2\pi f R_{eq} C_{sc})^2}}} \quad (1)$$

其中  $V_1$  表示开路信号电压， $R_o$  表示信号的源阻抗， $C_{sc}$  表示屏蔽体与被屏蔽电路间的容抗， $R_{eq}$  表示  $R_o$  与负载  $R_L$  的等效并联电阻。假设 1.5 MHz 频率时的  $V_s = 1V$ ， $C_{sc} = 200 \text{ pF}$ （10 英尺电缆）， $R_o = 1000 \Omega$ ，并且  $R_L = 10 \text{ k}\Omega$ ，则输出噪声电压为 0.86 V。这条原则经常被忽视，但屏蔽体上的电压可能会带来不小的麻烦。

- 深入研究并掌握屏蔽体所捕获的噪声电流如何返回至“地”。如果返回不当，屏蔽体上就会产生电压，继而耦合至其它电路中，或者耦合至其它屏蔽体中。为使电感最小，屏蔽体的返回路径必须尽可能短。

下面举例说明违反最后两条原则的可能后果。图9所示的屏蔽系统配置不当：精密电压源 $V_1$ 的屏蔽体与数字逻辑门的屏蔽体直接相连。这种情况可能出现在模拟信号和数字信号共用一根电缆传输的大系统中。

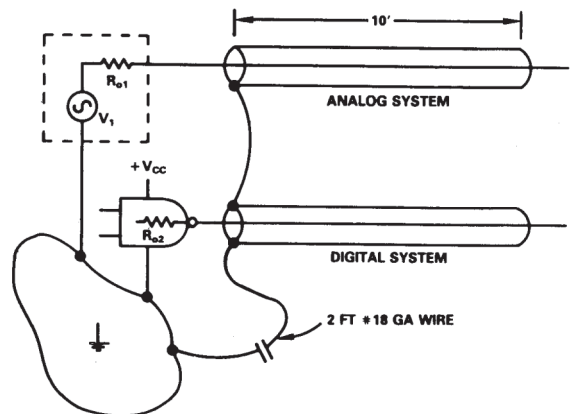


图9. 一种会导致屏蔽体出现瞬变电压的情况

逻辑电路输出端的阶跃电压变化会以容性耦合方式进入屏蔽体，从而在 2 英尺长的公共屏蔽返回路径中产生电流。该电流进而会产生模拟屏蔽和数字屏蔽所共有的屏蔽电压。图 10 给出了本例的等效电路，其中  $V(t)$  表示 TTL 逻辑门输出的阶跃信号，摆幅为 5V； $R_{o2}$  表示逻辑门的输出电阻，大小为 13  $\Omega$ ； $C_{ws}$  表示电缆屏蔽层与缆芯间的电容，大小为 470 pF； $R_s$  和  $L_s$  表示连接屏蔽体与系统地之间的 2 英尺导线的电阻和电感，分别为 0.1  $\Omega$  和 1  $\mu\text{H}$ 。

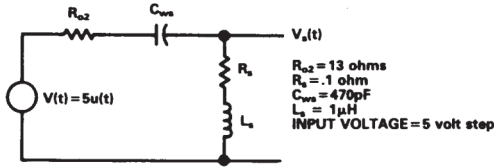


图 10. 产生屏蔽电压的等效电路

屏蔽电压  $V_s(t)$  既可以根据常规电路分析技术计算，也可以按照所给出的参数先构建电路，再精确测量来获得。经理论计算，图 11 给出了屏蔽层电压的响应波形，初始是一个幅值 5 V 的尖峰，谐振频率为 7.3 MHz，阻尼时间常数为 0.15  $\mu\text{s}$ 。该曲线可以充分反映屏蔽体上的电压的特征，以及对模拟输入端的容性耦合情况。用宽带示波器观察该电压时，它看起来像是一个噪声“尖峰”。我们可以发现，这种瞬变会将快速衰减的高峰值波形耦合到模拟系统中。

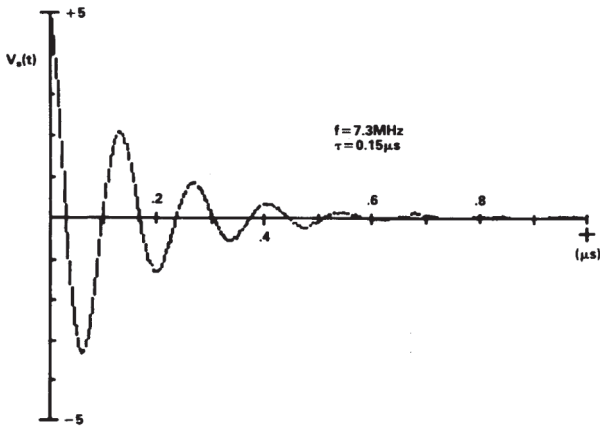


图 11. 图 10 电路的理论响应波形

即使是纯数字系统，如果存在上述情况，那么在相距较远的部分之间同样可能引起噪声毛刺，常常让系统出现莫名其妙的故障。

当屏蔽连接有多种可能，而且上文给出的原则不能直接套用时，要选出正确的方案，常常让人左右为难。这种情况相当常见，此时应当全面分析各种可能，选择一种理论噪声最小的方案，除此之外别无他法。

以图 12 所示系统为例，图中测量电路和信号源的参考电位不一样。这时，屏蔽体应该连接到：(A) 测量系统输入的低端；(B) 系统输入地；(C) 信号源的地；还是 (D) 信号源的低端呢？

选择 A 是错误的，因为噪声电流将会进入信号传输线。 $V_{G1}$  所引起的噪声电流通过  $C_4$  返回，其路径如图 13a 所示。

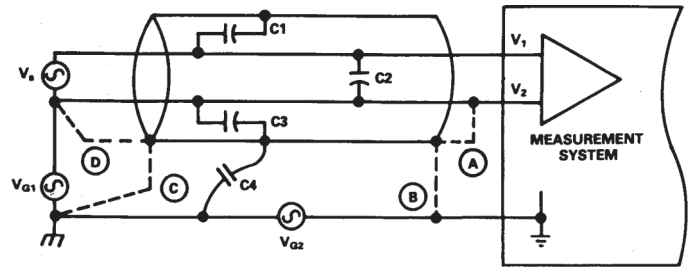
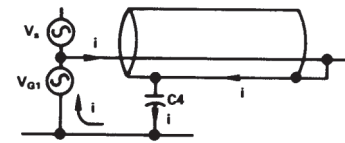


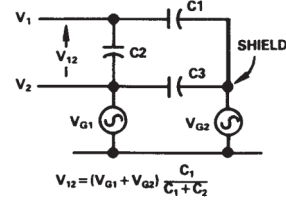
图 12. 系统与信号源的参考电位不同时，有四种可能的接地方案选择 B 也不正确。如图 13b 所示，两个噪声源  $V_{G1}$  和  $V_{G2}$  串联起来，在两条信号线之间形成一个噪声源：信号源阻抗与  $C_2$  并联，然后与  $C_1$  串联。

选择 C 同样不理想。 $V_{G1}$  在两条信号线之间产生一个电压，对系统的干扰机制与 (B) 相同，如图 13c 所示。

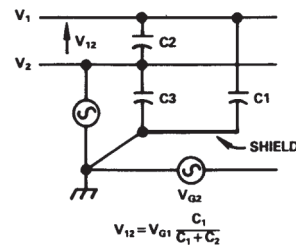
在给定的条件下，D 是最佳选择，等效电路如图 13d 所示。该选择也符合上文给出的接地原则——将屏蔽体连接到信号源的参考电位。



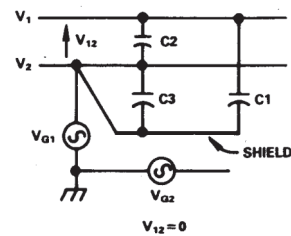
a. 返回路径 A



b. 返回路径 B



c. 返回路径 C



d. 返回路径 D

图 13. 等效电路

## 磁场感应噪声

磁场形式的噪声会在导体或电路中感生电压。因为磁场能够穿透导电材料，所以与电场相比，磁屏蔽的难度要大得多。对于磁感应噪声，那种用屏蔽体包裹导体，然后将屏蔽体单点接地的典型办法几乎无济于事。

磁场 (B) 在屏蔽体中传播时，其幅值将按照指数规律衰减 (图 14)。屏蔽材料的“趋肤深度” $\delta$  定义为磁场强度衰减为其大气磁场的 37% ( $\exp-1$ ) 时，材料所需的穿透深度。表 1<sup>1</sup> 列出了几种材料在不同频率条件下的  $\delta$  典型值。可以看出，这几种材料的  $\delta$  值均随频率升高而降低，这说明用这些材料制成的屏蔽体在高频条件下的效果会更好。此外，在所有频率点，钢的  $\delta$  值都比铜和铝至少低一个数量级，这说明钢更适合作为磁屏蔽材料。

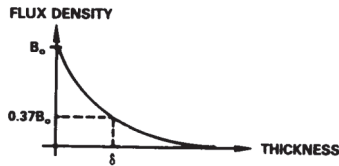


图 14. 磁场强度与穿透深度的函数关系

取相同厚度的铜和钢，并选择两种厚度进行不同频率下的吸收损耗特性测试，结果如图 15 所示。测试表明，当频率高于 200 Hz 时，1/8 英寸厚的钢就足以有效地吸收磁场；当频率高于 1 MHz 时，只要 20 mil (0.5 mm) 厚的铜就能获得很好的屏蔽效果。不过，在低频条件下，包括 50~60 Hz 的电力频段（这是低频磁耦合噪声的主要来源），这些材料的性能显然很差。

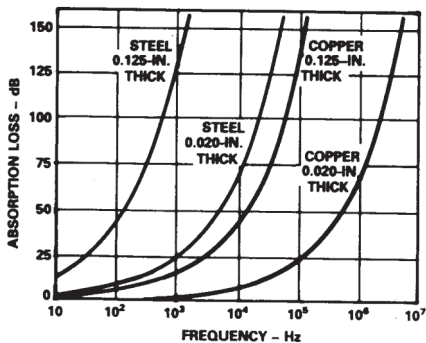


图 15. 两种厚度的铜和钢在不同频率下对磁场的吸收损耗

表 1. 趋肤深度  $\delta$  与频率的关系

频率	$\delta$ - 铜		$\delta$ - 铝		$\delta$ - 钢	
	英寸	毫米	英寸	毫米	英寸	毫米
60Hz	0.335	8.5	0.429	10.9	0.034	0.86
100Hz	0.260	6.6	0.333	8.5	0.026	0.66
1kHz	0.082	2.1	0.105	2.7	0.008	0.2
10kHz	0.026	0.66	0.033	0.84	0.003	0.08
100kHz	0.008	0.2	0.011	0.3	0.0008	0.02
1MHz	0.003	0.08	0.003	0.08	0.0003	0.008

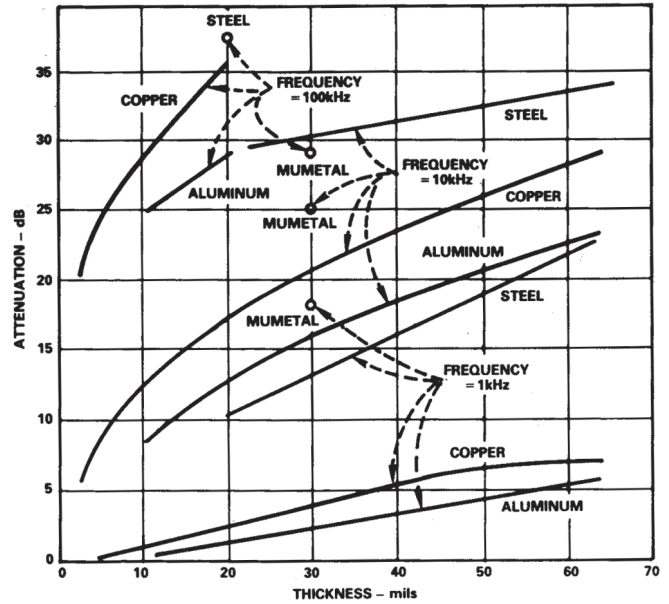


图 16. 高导磁合金及其它几种材料在不同频率下的磁场衰减特性

为改善低频磁屏蔽的效果，应考虑用高导磁率的磁性材料（即高导磁合金）来制作屏蔽体。图 16 给出了厚度为 30 mil 的高导磁合金与其它几种材料在不同频率下的性能对比。从图中可以看出：与其它材料相比，频率低于 1 kHz 时，高导磁合金的性能最优；而当频率为 100 kHz 时，高导磁合金的性能最差。但是，高导磁合金用起来并不是很方便，而且如果受到强磁场作用而达到磁饱和，这种材料将不再具备任何优势。

从上文可以看出：单靠改良耦合介质的特性来达到屏蔽磁场的目的是非常困难的。因此，在低频条件下，将以下几种手段结合起来才是最有效的对策：尽量降低干扰磁场的强度，尽量缩小接收器环路面积，以及通过优化布线来尽量减少耦合。下面给出一些指导原则：

- 接收电路应尽可能远离磁场源。
- 避免沿磁场平行方向布线，布线方向应与磁场方向垂直。
- 根据磁场频率和强度选择合适的屏蔽材料。

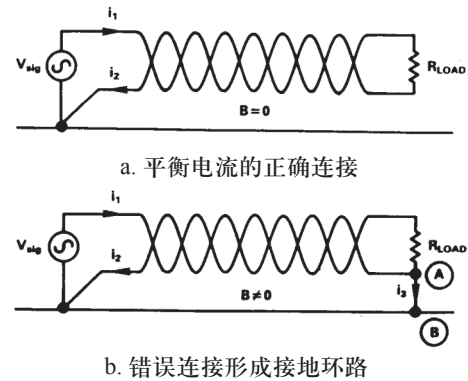


图 17. 双绞线的连接

<sup>1</sup>表 1、图 15 和图 16 摘自 Ott, H.W. 《Noise Reduction Techniques in Electronic Systems》(New York: John Wiley & Sons, © 1976)。



- 承载大电流的导线应使用双绞线，因为导线中的大电流会感生磁场。如果双绞线中的电流大小相等，方向相反，则在双绞线的每个循环上，各空间方向的净磁场均完全抵消（图 17a）。为保证完全抵消，两根导线中的电流均不能被分流，比如接地层。图 17b 所示是存在接地环路的情形：部分电流流经地层（大小取决于导线电阻与地电阻的比值），与双绞线形成一个环路，该环路将感生磁场，其强度由  $i_3 (= i_1 - i_2)$  决定。

即使不连接 A 点和 B 点，问题也可能出现。R<sub>load</sub> 电路与地层之间哪怕只有一点点不平衡的杂散电容或电阻，也会破坏电流平衡，在双绞线和地层中产生净电流，从而形成接地环路和相关磁场。基于这个原因，人们总结出—条经验：在布设双绞线时，应使其靠近地层，以便平衡各端与地之间的电容，并使环路面积最小。

- 使用屏蔽电缆，让屏蔽体承载信号源电路的高返回电流（图 18）。如果屏蔽体上的电流  $I_2$  与电缆芯线中的电流大小相等、方向相反，则由这两个电流感生的磁场将相互抵消，净磁场强度为 0。这个例子似乎违背了“屏蔽体中不能有电流”的原则，但是这里的同心电缆并非用来屏蔽芯线，而是通过这种特殊结构抵消干扰。

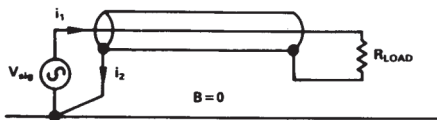


图 18. 利用屏蔽体承载噪声源的返回电流

这种方案适合用在 ATE（自动测试设备）系统中，可以有效克服受测器件因电源电流较大而引起的噪声干扰，实现精确测量。以图 19 所示情形为例：—个在测模数转换器位于测试电缆的一端，其高电流逻辑电源的连接即应用了这项技术。

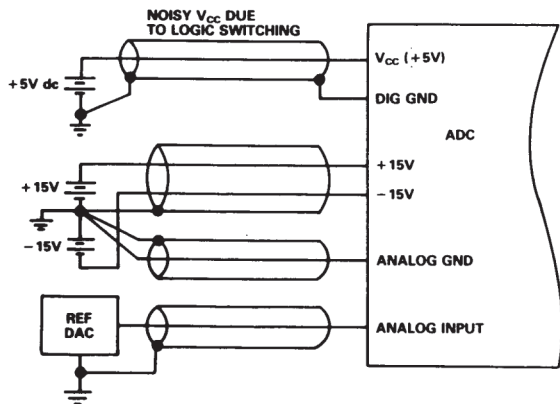


图 19. 图 18 所示电路在测试系统中的应用

- 磁感应噪声的大小取决于接收环路的面积，因此只要缩小该环路的面积，就可以降低磁耦合引起的感应噪声电压。那么什么是接收环路呢？图 20 的示例中，信号源及其负载通过一对长度为 L、间距为 D 的导线相连，该电路就形成了一个面积为  $D \cdot L$  的环路（假设电路按矩形布置）。

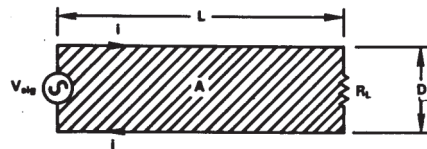


图 20. 磁耦合噪声的接收环路面积

环路感生电压的大小与环路面积以及环路与磁场方向夹角的余弦成比例。因此，为使噪声最低，一是要让环路与磁场方向垂直，二是要尽量缩小环路的面积。

通过缩短导线长度和/或导线的间距，可以缩小环路面积。采用双绞线或者将导线成对紧扎成线束，可以轻松地达到这一目的。将电路的输入线和返回线总是成对捆扎在一起，是很好的做法。要做到这一点，设计人员必须掌握电流返回信号源所走的实际路径。不过很多时候，电流的实际返回路径与原始设计布局的预期不一致。

导线的移动（例如故障检修所致）可能会使环路面积及环路与磁场的夹角发生变化，导致噪声强度超过导线移动之前的水平而变得不可接受，从而又需要检修，形成恶性循环。请记住—条根本的原则：掌握环路面积和走向，采取各种措施努力抑制噪声，而且要牢牢地固定导线！

### 有源屏蔽和防护

上文探讨了载流屏蔽的作用：让屏蔽体承载与导线大小相等、方向相反的电流，从而削弱导线周围的磁场，降低磁感生噪声。

防护的原理与此相似，即用—个本质上与屏蔽体内信号线上的共模电压相等的电位来驱动低阻抗屏蔽体。防护的用途较广，可用于降低共模电容，提高共模抑制比，以及在高阻抗测量电路中消除泄漏电流。

以图 21 所示情形为例：—个偏置电流可忽略不计的运算放大器接成—个高输入阻抗的同相比例放大器。采用屏蔽电缆的目的是避免容性耦合噪声侵入高输入阻抗信号线，以及降低泄漏电流。信号源的输出阻抗为 10 MΩ，从导线到屏蔽体的泄漏电阻假定为 1000 MΩ（该值与温度、湿度等条件相关）。如果如图所示进行连接，等效输入电路实际上是一个衰减器：在测量期间，信号损耗 1%；在非测量期间，信号损耗比例不确定。此外，电缆的杂散电容会引起信号延迟，延迟时间常数为  $R_s C_s$ 。

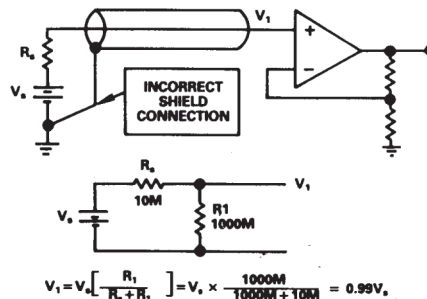


图 21. 运算放大器接成高输入阻抗同相比例放大器，信号输入采用屏蔽电缆

图 22 的电路组成基本上与图 21 一样，只是将屏蔽体接到增益分压器的抽头（阻抗一般很低）。由于该点与运放反相输入端相连，因此其电位与运放同相输入端相等。这样一来，电缆泄漏电阻上的电压为零，因而泄漏电流为零，泄漏电阻的大小也就无关紧要。鉴于运放的偏置电流可以忽略不计，因此  $V_1$  必与  $V_s$  相等。

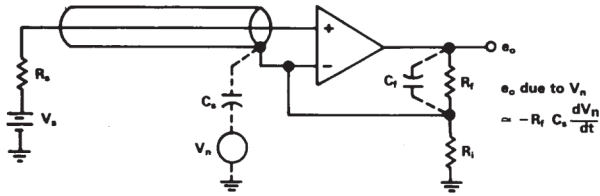
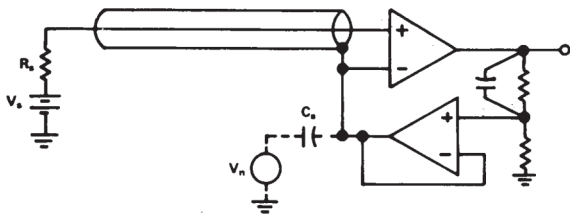


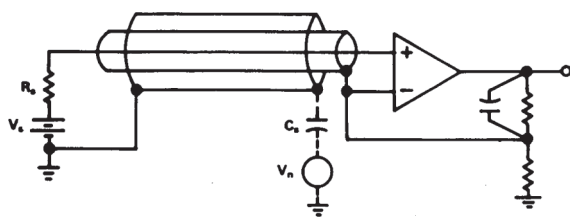
图 22. 与图 21 一样，只是将电缆屏蔽体接成防护罩

此外，电缆电容上的电压为零，因此电缆既不会放电也不会充电，延迟时间常数将主要取决于电路杂散电容和放大器的输入电容。为了提高稳定性，应在输出端与负输入端之间接一个电容，使  $C_i R_F = C_s R_i$ ，其中  $C_s$  为屏蔽体与地间的杂散电容与放大器输入电容之和。

防护罩上决不能有噪声电压。在图 22 所示的噪声系统中，容性耦合噪声将呈现差分特性，带有较强的高频成分。采用图 23 所示的两种办法可以解决这个问题：用一个响应速度快且输出阻抗小的缓冲跟随器驱动防护罩 (a)，或者在防护罩外面再加一层屏蔽体，并将屏蔽体接到信号的参考电位 (b)。



(a) 有源防护罩



(b) 屏蔽防护罩

图 23. 消除防护罩上的噪声

在高阻抗电流输入反相配置中，如果使用一段屏蔽导线来保护从电流源到放大器反相输入端之间的走线，那么对防护罩的处理有两种选择：一是用一个缓冲器来驱动，缓冲器输出与同相输入端电位相等（除缓冲器外，防护罩不与其它点接触）；一是将防护罩直接接到运放的同相输入端，然后在其外面加一个屏蔽体，并且将屏蔽体接到信号的参考点。

## 结束语

表 2 总结了本文的要点，这些要点对于构建一个严密有效的屏蔽系统而言十分重要。不过，有两点最容易被忽略：一是信号屏蔽体上出现的噪声电压，一是正确处置屏蔽体中的噪声电流；对此必须给予足够重视。屏蔽体上决不能存在噪声电压；屏蔽体与信号线间的杂散电容会将噪声直接耦合至信号线。如果屏蔽体的电流返回路径设计不当，这部分电流可能会影响相距甚远的系统其它部分，并且可能在看似与“已解决”的屏蔽问题完全无关的位置引发故障。

表 2. 屏蔽要点的适用范围

要点	通用	电场	磁场
确定噪声源、耦合介质和接收器。	X	X	X
针对不同的噪声源、耦合通道和接收器，采取不同的屏蔽措施。	X	X	X
大多数情况下，可以使用常规的集总元件式电路分析方法。	X	X	X
屏蔽体必须单点连接信号源的参考电位。		X	
用连接器将分散的屏蔽体连接成一体。		X	
不同信号的屏蔽体不应连在一起。		X	
屏蔽体不应多点接地。		X	
除非出于抵消磁场的目的，即用作为有源屏蔽，否则屏蔽体中不应有电流。		X	X
除非用作防护罩，否则屏蔽体上不应有电压。		X	
确切地掌握屏蔽体中噪声电流的去向。		X	
应当用尽量短的导线将屏蔽体中的噪声电流引回信号地。		X	
静电屏蔽对于降低磁场引起的噪声收效甚微。			X
减小磁场的方法包括物理隔离、选取适当的方向、使用双绞线以及/或者使用有源屏蔽。			X
掌握接收器环路面积及其与磁场的夹角。使环路与磁场方向垂直，使用成对导线（最好是双绞线）缩小环路面积，并缩短导线长度。			X
在高阻抗电路中使用防护。	X	X	
应特别注意高阻抗电路的屏蔽噪声。	X	X	

## 参考文献

补充读物包括：

- Brokaw, A. Paul. "Analog Signal Handling for High Speed and Accuracy," *Analog Dialogue* 11-2, 1977, pp. 10-16.
- Brokaw, A. Paul. "An I.C. Amplifier Users' Guide to Decoupling, Grounding, and Making Things Go Right for a Change," *Analog Devices Data-Acquisition Databook 1982*, Volume I, Pages 21-13 to 21-20.
- Morrison, Ralph. *Grounding and Shielding Techniques in Instrumentation* Second Edition. (New York: John Wiley & Sons, 1977).
- Ott, Henry W. *Noise Reduction Technique in Electronic Systems*. (New York: John Wiley & Sons, 1976).