

FPGA 经典 100 问 之<仿真 20 问>

FPGA 是什么？

FPGA 即现场可编程逻辑门阵列（英语：Field Programmable Gate Array, FPGA），是一个含有可编辑元件的半导体设备，可供使用者现场程式化的逻辑门阵列元件。它是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

现将历年来众多网友和专家联手打造的 FPGA 经典 100 问奉献给大家,包括<HDL 28 问>、<仿真 20 问>、<设计实现 31 问>、<下载验证 16 问>、<入门与提高 5 问>。**初学者必备!**

1、感觉是 quartus 9.0 不兼容 nios ii 9.0? 求助

[一川烟雨](#) 问：

求助，刚刚开始学 NIOS ，之前安装 quartus9.0，使用一直很正常（用 verilog 编写），现在安装 nios9.0, 安装的目录就在 quartus9.0 里面，每次打开 Nios IDE 都会出现下面这个对话框，是不是我那里安装问题啊

[paradoxfx](#) 答：

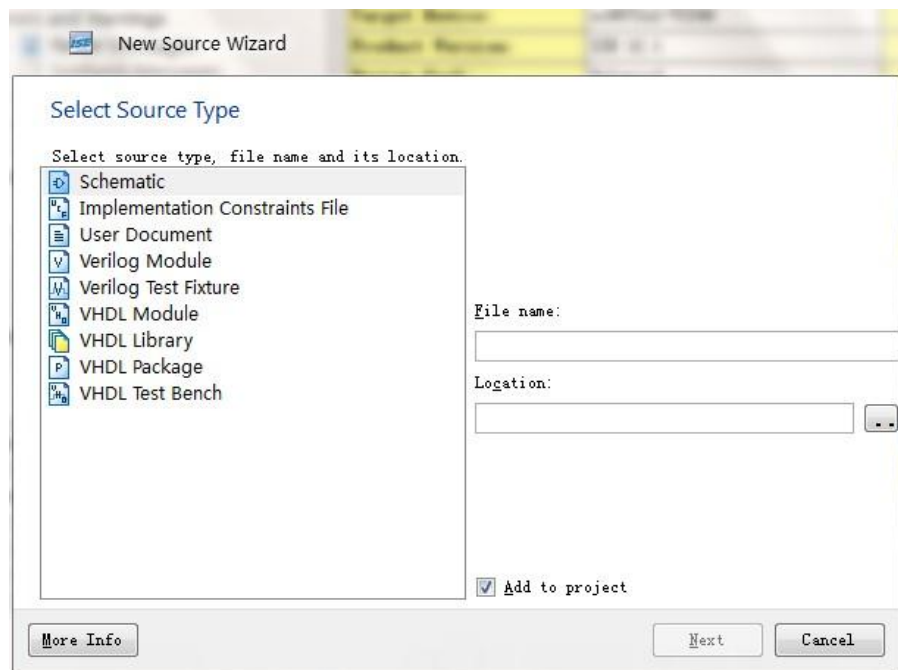
这不是缓存里的垃圾文件么，不像是 nios 和 quartus 冲突，倒像是 qq 和 nios 冲突；清理一下垃圾文件，杀杀毒

[参与更多回答与讨论>>](#)

2、求助，ISE 的新建菜单怎么少了

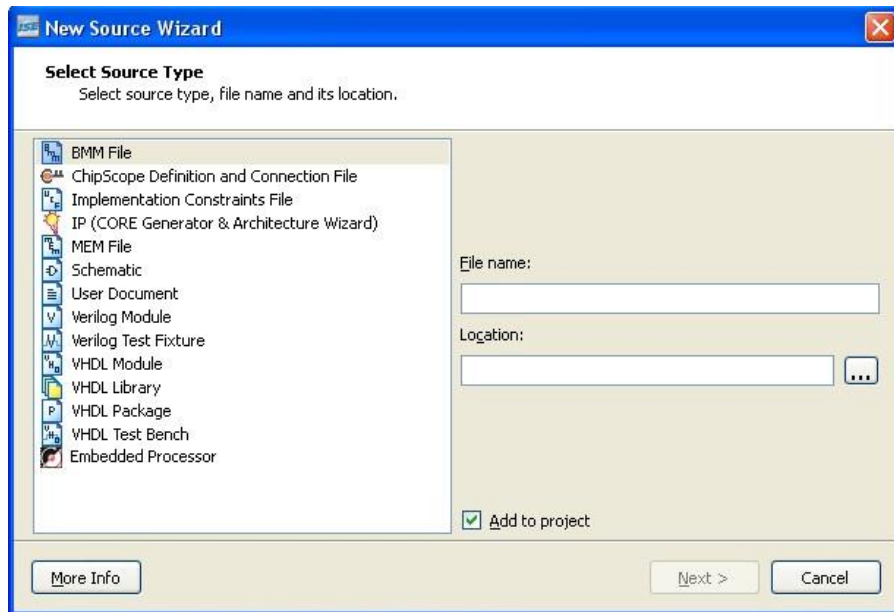
[L](#) 问：

各位高手，请问为什么我安装完 ISE 12.1(System Edition)后，New source wizard 的菜单里只有下面这几项，其他文件类型没有了？安装时基本都是默认选择，能装的都装了。如下图：



[dan_xb](#) 答:

你装的是什么版本啊，为啥我的不是长这个样子的？



[paradoxfx](#) 答:

楼主貌似安装的时候选择的不是 system edition

[查看更多回答与讨论>>](#)

3、求助，为什么 quarus9.0 调用不了 modelsim

[oyx925](#) 问:

我跟着特权同学第七课设置分频器那个实验一步一步的做，到最后，启动仿真的时候，却出现了 Error: Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not found at specified path

的错误，求解！谢谢！

[leftenvoy](#) 答:

建议修复一下软件 试试

[1075490268](#) 答:

没有指示 modelsim 的路径。

[参与更多回答与讨论>>](#)

4、debug-用 verilog 编的 PWM 程序

[journy](#) 问:

下面是用 verilog 编的产生 PWM 信号波的实验。利用 8 个拨位开关输入，产生 PWM 波，周期为 256ms。例如当开关为 10010000 时，PWM 波 128ms 处于状态 1~~~128ms 处于状态 0。以下是我的程序，语法上都已经通过，但是仿真结果是错的，可能是逻辑错误，但是始终找不到错误，在此恳请各位高手指点！

```
module PWM(  
    input mclk,  
    input [7:0]pulse_width, //the width of the pulse is determined by the swich
```

```

output pwm_out
);
    reg[31:0] count1;
    reg[31:0] count2;
    reg clk_1ms;
    reg OFF;
    reg[7:0] period;

//fenpin 1ms
always@(posedge mclk)
    begin
        if(count1==499999)
            begin
                count1<=0;
                clk_1ms<=1;
            end
        else
            begin
                count1<=count1+1;
                clk_1ms<=0;
            end
    end

//period=256ms
initial
begin
    period<=8'hff;
end

always@(posedge clk_1ms)
begin
    if(count2>=period-1)
        count2<=0;
    else
        count2<=count2+1;
end

always@(posedge clk_1ms)
begin
    if(count2<=0)
        OFF<=0;
    else if(count2>=pulse_width)
        OFF<=1;
    else

```

```

        OFF<=OFF;
    end
    assign pwm_out=!OFF;

endmodule

```

[晴天小猪](#) 答:

这个错是怎么个错法? 个人感觉可能没有设置复位初始化, 跑仿真的时候可能有几个信号就一直停在不定态出不来波形了。initial 初始化我觉得不太可取, 在 testbench 里面可以这么用, 如果是要综合成电路的话不知道编译器能不能综合成你想要的电路结构。可以尝试增加 rst_n 的异步复位到各个 always 中, 然后将 period 的初始化用 parameter period = ?? 这样的方法代替

[参与更多回答与讨论>>](#)

5、仿真后输出一直为 0 是怎么回事?

[meiercc](#) 问:

我刚开始学 verilog, 做了一个分频的程序, 但是仿真后输出一直为 0, 自己想了半天也不知道是哪的问题。希望各位哥哥姐姐们指点下。下面是我的程序和 testbench。

```

module fp(clk,rst_n,clk_25);
input rst_n,clk;
output clk_25;
reg [25:0] cnt1;
reg clk_25;
always @(posedge clk)
begin
if(!rst_n)
begin
cnt1<=0;
clk_25<=0;
end
else if(cnt1==26'd24999999)
begin
cnt1<=0;
clk_25<=~clk_25;
end
else cnt1<=cnt1+1'b1;
end
endmodule

testbench:
`timescale 1 ns/ 1 ps
module fp_vlg_tst();
reg eachvec;
reg clk;

```

```

reg rst_n;
wire clk_25;
fp i1 (
.clk(clk),
.rst_n(rst_n),
.clk_25(clk_25)
);
initial
begin
clk=0;
forever #20 clk=~clk;
end
initial
begin
rst_n=0;
#1000;
rst_n=1;
end
endmodule

```

[ppc68](#) 答:

仿真时间给的够不够呢, rst_n 过了 1000ns 才置高

[duqiheng861110](#) 答:

#1000 有点大了

[查看更多回答与讨论>>](#)

6、【软件求助】Modelsim 后仿真错误求教

[axinaim9](#) 问:

Modelsim 6.0se + ISE8.1 进行仿真时, modelsim 报告错误, 详细信息如下:

```

# vsim -lib work -sdfmax /UUT=int_test3.sdf -t 1ps test2
# ** Error: (vsim-SDF-3196) Failed to find SDF file "int_test3.sdf".
# Error loading design
# Error: Error loading design

```

似乎是 sdf 文件的问题, 上网搜了许久也未找到清晰的解决办法。拜谢求解

[ilove314](#) 答:

通常后仿真没通过呢, 你应该试着找找是不是你的 HDL 代码是不可综合的, 就是说连综合都无法进行, 那更别谈后仿真了。

[佳茗](#) 答:

以下是转别人的, 具体问题不一样, 但相似, 不知道有没有帮助! 不太懂 转: modelsim 仿真时找不到 sdf 文件的问题 平台: ise9.2 modelsim6.2 直接从 ise9.2 中进行 post-route simulation 时候, 出现一个错误: Error: (vsim-SDF-3196) Failed to find SDF file ".sdf". 查看了一下.tdo 文件, 发现里面关于 sdf 的命令是这样写的: 这里的 tbname 是测试信号文件名 vsim -t 1ps -sdfmax "/UUT=.sdf" -lib work tbname_vhd 这样显然是找不到.sdf 文件的, 这里需要用

到的 sdf 文件应该在工程目录下的: netgenparProjectName_timesim.sdf 前面的命令改成:
vsim -t 1ps -sdfmax "/UUT=netgen/par/ProjectName_timesim.sdf" -lib work tname_vhd
[查看更多追问和回答>>](#)

7、Modelsim 仿真 FIFO 读不出数据

[lyluntan](#) 问:

写了一个异步 FIFO 的程序, 满和空等信号都是正常的, 但是却读不到数据。请高手赐教



[ppc68](#) 答:

rst 是高有效吧

[jonson simth](#) 答:

满和空不正常吧!

[查看更多回答与讨论>>](#)

8、modelsim 使用错误

[jiereliyi](#) 问:

编译正常启动仿真后出错。 三个项目文件 一个仿真文件

```
# Reading C:/altera/10.0/modelsim_ase/tcl/vsim/pref.tcl
# do vga_nios_run_msim_rtl_vhdl.do
# if {[file exists rtl_work]} {
# vdel -lib rtl_work -all
# }
# vlib rtl_work
# vmap work rtl_work
# Copying C:\altera\10.0\modelsim_ase\win32aloem/./modelsim.ini to modelsim.ini
# Modifying modelsim.ini
# ** Warning: Copied C:\altera\10.0\modelsim_ase\win32aloem/./modelsim.ini to
modelsim.ini.
# Updated modelsim.ini.
#
# vlog -vlog01compat -work work +incdir+D:/nios_project/vga
{D:/nios_project/vga/vga_controller_stream.v}
# Model Technology ModelSim ALTERA vlog 6.5e Compiler 2010.02 Feb 27 2010
# -- Compiling module vga_controller_stream
#
# Top level modules:
# vga_controller_stream
# vcom -93 -work work {D:/nios_project/vga/VGA_Timing.vhd}
# Model Technology ModelSim ALTERA vcom 6.5e Compiler 2010.02 Feb 27 2010
```

```

# -- Loading package standard
# -- Loading package std_logic_1164
# -- Loading package std_logic_arith
# -- Loading package std_logic_unsigned
# -- Compiling entity vga_timing
# -- Compiling architecture translated of vga_timing
# vcom -93 -work work {D:/nios_project/vga/vga_pixel_fifo.vhd}
# Model Technology ModelSim ALTERA vcom 6.5e Compiler 2010.02 Feb 27 2010
# -- Loading package standard
# -- Loading package std_logic_1164
# -- Compiling entity vga_pixel_fifo
# -- Compiling architecture syn of vga_pixel_fifo
#
# vcom -93 -work work {D:/nios_project/vga/simulation/modelsim/vga_测试 bench.vhd}
# Model Technology ModelSim ALTERA vcom 6.5e Compiler 2010.02 Feb 27 2010
# -- Loading package standard
# -- Loading package std_logic_1164
# -- Loading package std_logic_arith
# -- Loading package std_logic_unsigned
# -- Loading package numeric_std
# -- Compiling entity vga_测试 bench
# -- Compiling architecture behavior of vga_测试 bench
#
# vsim -t 1ps -L altera -L lpm -L sgate -L altera_mf -L cyclone -L rtl_work -L work -voptargs="+acc"
vga_测试 bench
# vsim -L altera -L lpm -L sgate -L altera_mf -L cyclone -L rtl_work -L work -voptargs="\+acc\" -t
1ps vga_测试 bench
# Loading std.standard
# Loading ieee.std_logic_1164(body)
# Loading ieee.std_logic_arith(body)
# Loading ieee.std_logic_unsigned(body)
# Loading ieee.numeric_std(body)
# Loading work.vga_测试 bench(behavior)
# ALTERA version supports only a single HDL
# ** Error: (vsim-3039) D:/nios_project/vga/simulation/modelsim/vga_测试 bench.vhd(40):
Instantiation of 'vga_controller_stream' failed.
# Region: /vga_测试 bench
# Error loading design
# Error: Error loading design
# Pausing macro execution # MACRO ./vga_nios_run_msim_rtl_vhdl.do PAUSED at line 14

```

[phdwong](#) 答:

不要用中文哈

[参与更多回答与讨论>>](#)

9、求助啊！新手不会 Quartus 2 波形仿真

[wenjiaopu](#) 问：

我建了一个原理图，而且编译通过了，但是输入端应该是 SPWM 波形，请问我应该如何能在波形仿真时将输入设为 SPWM 波形？

感激不尽！

[jlx_cuc](#) 答：

现在 10.0 以后的 Quartus 版本都已经不再使用波形仿真工具了，而是采用 Modelsim 来做仿真，通过编写 testbench 来实现波形的输入。可以参考参考 testbench 的相关设计。

[查看更多追问与回答>>](#)

10、modelsim 波形问题

[低调的激情](#) 问：

在用 modelsim 观测波形时，可不可以观察例化 module 中信号。举个例子

```
module add(clk,reset,a,b);
```

```
input clk,reset;
```

```
input a,b;
```

```
add2 U1(clk,reset,a,b);
```

```
""
```

```
endmodule
```

```
module add2(clk,reset,a,b);
```

```
input clk,reset;
```

```
input a,b;
```

```
//定义几个变量
```

```
wire c;
```

```
reg d;
```

```
....
```

```
endmodule
```

能不能在波形观测器里添加 c 和 d 这两个信号，如果能怎么添加

[jlx_cuc](#) 答：

可以的啊，在 add 里面应该会出来一个 add2 的模块，然后再点开 add2 就可以看到里面的各个信号量了

[参与更多回答与讨论>>](#)

11、特权第一个工程怎么用 MODELSIM 仿真

[07 希希 0729](#) 问：

你好，我刚买了特权的 NIOS II 这本书，但是没有开发板，因为给学生上课也只能是演示，可是用 MODELSIM 仿真的时候 OUT_LED 的输出都是 0，没有变化，请问是不能用 MODELSIM 仿真还是我做的有问题，能给指导一下步骤吗？书上没有，多谢

[ilove314](#) 答：

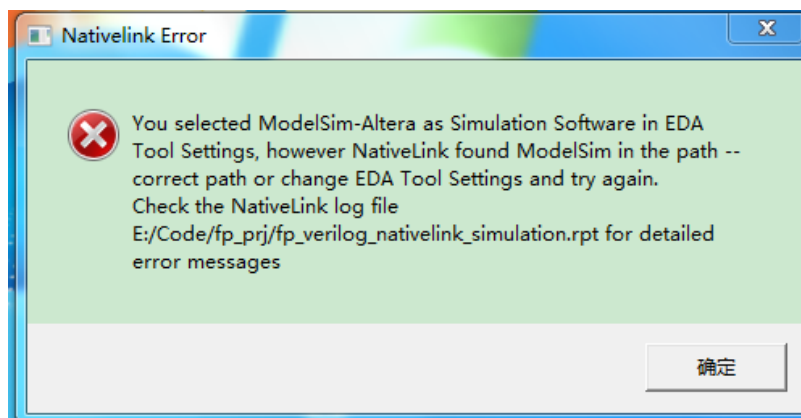
你参考特权的博文：http://bbs.ednchina.com/BLOG_ARTICLE_3007119.HTM

[参与回答与讨论>>](#)

12、altera 调用 modelsim 出错

[zhangp](#) 问:

我用的是 altera12.0 版本调用 modelsim 6.5 的时候总是出现如下出错, 请知道的人帮忙解答一下!



[june guo](#) 答:

看一下你的 modelsim 设置的路径是不是有问题, tool——option——EDA Tool Option——modelsim Altera 设置的路径一定要有 modelsim altera.exe 此外, 路径中的文件名不能有中文和空格。

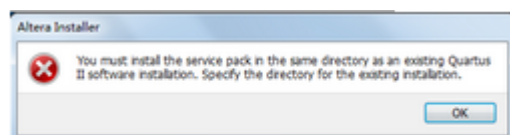
我也遇见过这个问题, 希望我的回复可以帮到你。

[查看更多追问与讨论>>](#)

13、为什么我的 modelsim 安装不了

[吕凤仙](#) 问:

我已经安装好 quartus2, 但是安装 modelsim 时总是出现如下图片, 求大神帮忙! 其中提示的意思貌似是 modelsim 的安装地址不对, 但是我的 quartus2 确实是装在我选取的文件夹中, 任然有这个问题出现



[hly02g16103@163.com](#) 答:

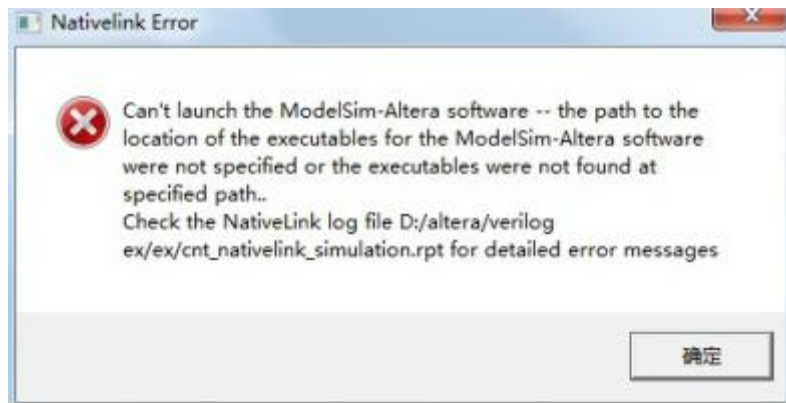
我的笔记本也是这样, 后来按默认路劲(C 盘)就没有这个问题了

[参与更多回答与讨论>>](#)

14、求高手指导为什么我的 modelsim 不能启动

[吕凤仙](#) 问:

我在 quatus2 里面启动 RTL simulation 时总是出现如下图片?? 求高手指导这是哪里出了问题



[吕凤仙](#) 答:

我居然自己发现问题了，原来是在 `quarus2` 里面没有设置好 `modelsim` 的路径，哈哈！本人新手，高手勿喷！新手看看也可以少走弯路！

[参与更多回答与讨论>>](#)

15、新手求助一些警告信息的意思？

[ll568](#) 问:

刚开始看特权同学的视频学习，编译一个简单例程时出现一些 `WARING` 不知道是什么意思，求教一下。

Critical Warning (332148): Timing requirements not met

[ilove314](#) 答:

顾名思义，时序要求没达到

[葱上头](#) 答:

时序不满足，是不是用 `timequest` 分析下呢

[参与更多回答与讨论>>](#)

16、求助：Modelsim 仿真出现这个错误 Error loading design !

[JAYCH2010](#) 问:

在 `QuartusII` 中设计一个名为 `audio` 的电子琴，但是我没有建立以 `audio` 为命名的 `module`。而是把它分为几个模块，然后再用 `bdf` 将各个部分的电路图连接起来。

接着，我在 `QuartusII` 中写 `test` 文件后，用 `module` 仿真，出现了 `#Error loading design` 的错误，而且还有一个错误是说没有以 `audio` 为命名的模块，这是为什么呢？

[JAYCH2010](#) 答:

原来是我在生成 `testbench` 文件的时候，在实例化的地方没有改过来，因为系统默认为 `audio` 的实例化，但是并没有这个 `module` 所以把这个改成我之前写的那些模块就行啦，这就不难解释为什么会出现以上的错误啦。

对大家造成不便之处，见谅啦~~

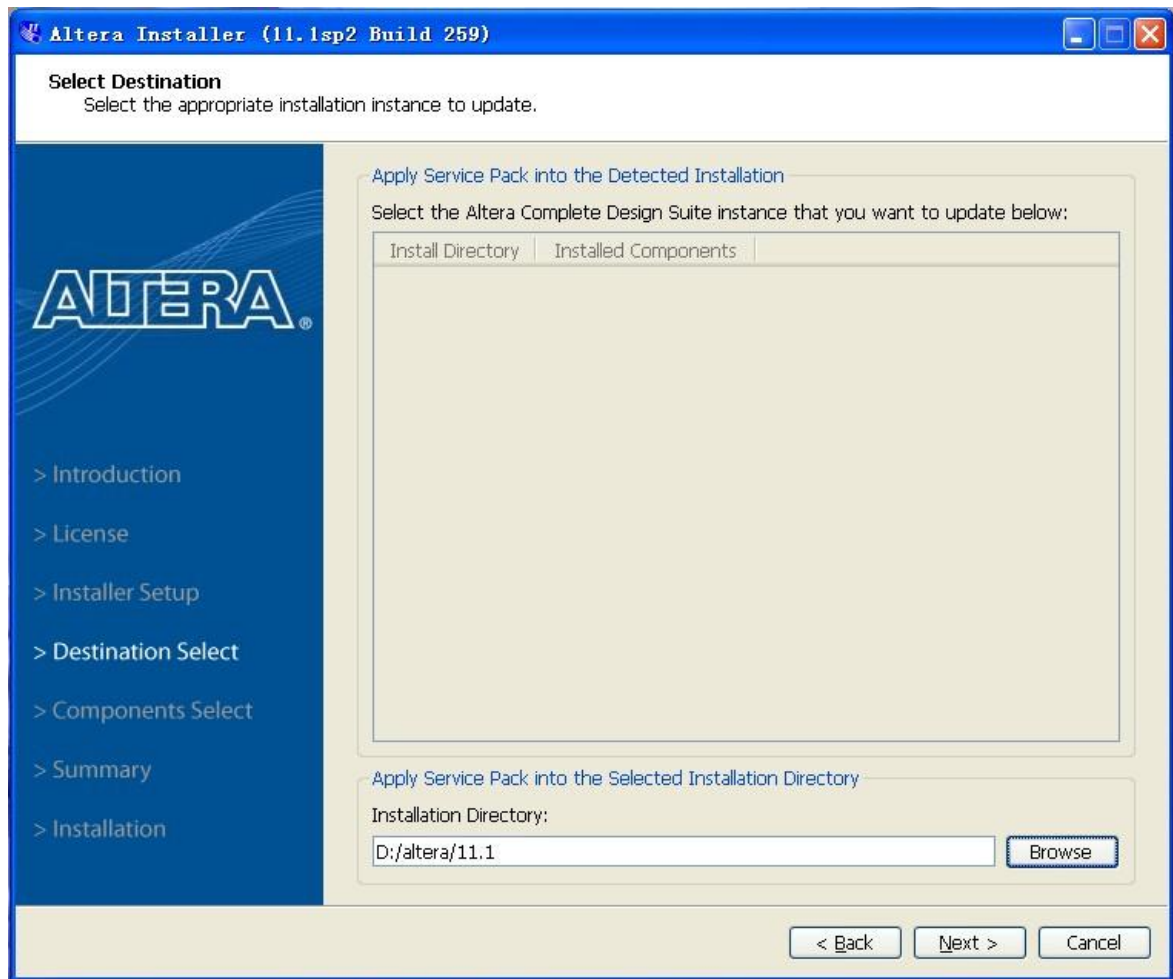
[查看追问与讨论>>](#)

17、quartus ii 11.1sp2 安装 modelsim 路径怎么选？

[flyriz](#) 问:

11.1sp2_259_quartus_windows 已经安装好了, 然后在 11.1sp2_259_modelsim_ase_windows 安装的时候路径怎么选都不正确? 如何是好啊!

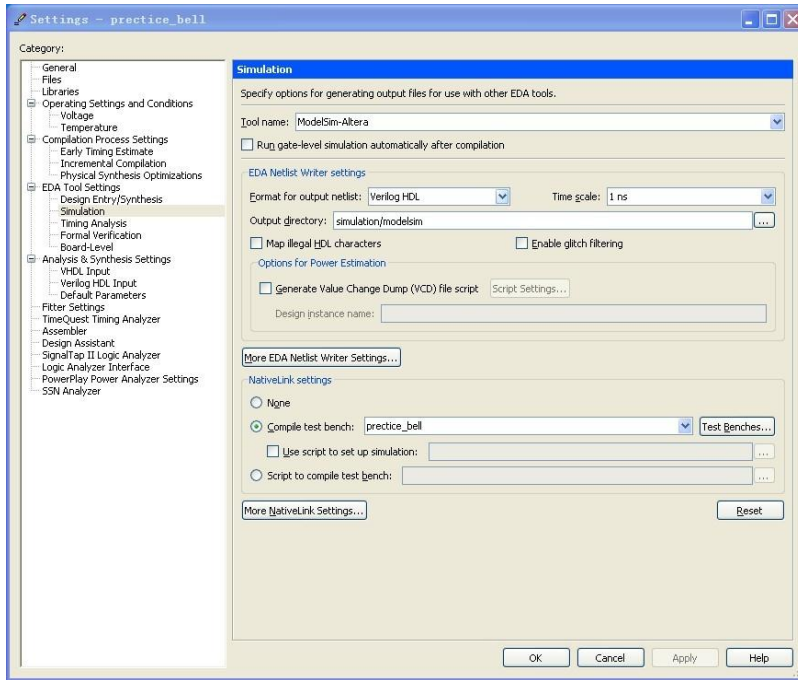
请大侠指教, 先谢过



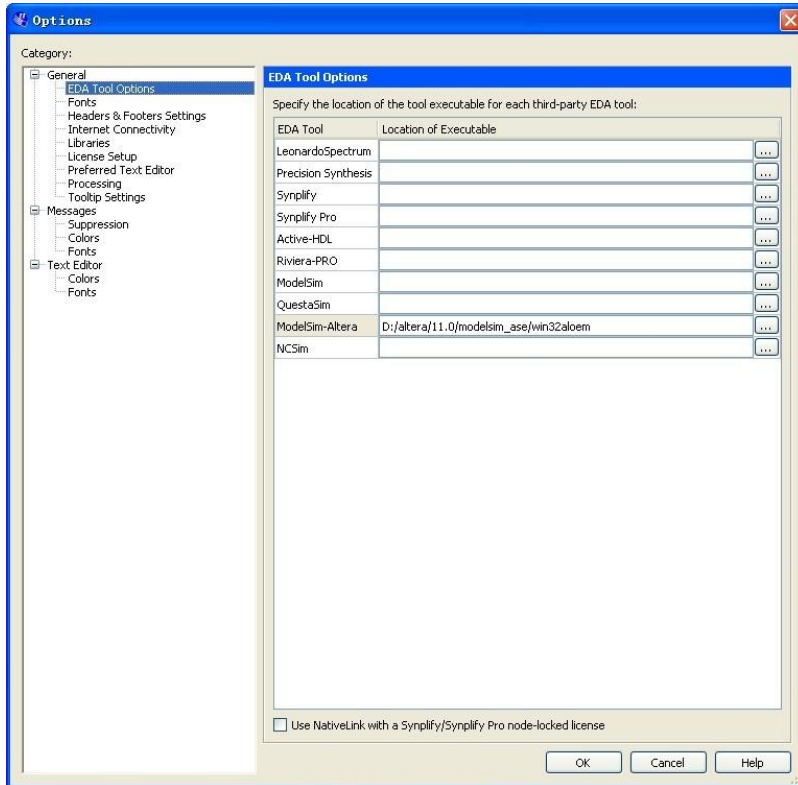
[yestone](#) 答:

两个地方注意一下就行。我也碰到过这个问题。

Assignments=>EDA Tool Settings=>Tool name 选对应仿真软件的名字



Tool=>Options=>EDA Tool Options=>ModelSim-Altera 加路径



[flyriz](#) 答:

问题解决了, 我是先装 11.1_173_quartus_windows 再升级为 11.1sp2_259_quartus_windows 的, 后面我先装 11.1_173_modelsim_ase_windows 再装 11.1sp2_259_modelsim_ase_windows, 就好了。

[查看更多回答与讨论>>](#)

18、modelsim 无法仿真

[lingyu1222](#) 问:

```
# vsim -t 1ps -L altera_ver -L lpm_ver -L sgate_ver -L altera_mf_ver -L maxii_ver -L rtl_work -L work -voptargs="+acc" fp_verilog_vlg_tst
# vsim -L altera_ver -L lpm_ver -L sgate_ver -L altera_mf_ver -L maxii_ver -L rtl_work -L work -voptargs="\"+acc\" -t 1ps fp_verilog_vlg_tst
# ** Error: Failure to obtain a Verilog simulation license.
# Error loading design
# Error: Error loading design
#          Pausing macro execution
# MACRO ./fp_verilog_run_msim_rtl_verilog.do PAUSED at line 12
```

每次用 quartus 仿真时总是出现这个问题，有哪位大神可以帮帮忙

[ilove314](#) 答:

Failure to obtain a Verilog simulation license 或许是你所仿真的库文件需要相关 license，而你并没有

[参与更多回答与讨论>>](#)

19、调用 modelsim 总是出现 no design loaded 怎么解决

[zixuanfu](#) 问:

都是按照视频上做的，testbench 用视频中带的都不行，难道 modelsim altera 还要另外设置吗 纠结两天了 试了好几个程序 都是这种情况

[zixuanfu](#) 答:

我的是软件问题 我把 modelsim 卸了重装就好了

[参与更多回答与讨论>>](#)

20、modelsim 仿真无波形，求解答

[忧郁的乐天派](#) 问:

我仿照 quartus 的 FIR 例子写了一个工程，想仿真看看结果，但是怎么弄都没波形出来，连时钟都产生不了，不知道为何。

想知道到底是代码的问题还是 testbench 的问题还是 modelsim 设置的问题。求大神帮我看一下。先谢谢了，代码打包在附件里，testbench 也在里面

[欲壑难填](#) 答 :

你好，我看了你的工程，虽然我一直使用 XILINX 的开发环境。但是从你的程序来看，你使用了 Altera 的库原语。类似的问题，我在使用 ISE 的库仿真时也碰到过。Modelsim 是第三方工具，并不提供相应的原语库，所以你需要将库文件编译，希望可以帮助到你。ISE 环境提供了编译 lib 工具，quartus 具体我不是很清楚。

[参与更多回答与讨论>>](#)

[点击下载>>FPGA 经典 100 问 之 五大分类全部上映!](#) ,

[点击下载>>45 篇博文精粹《菜鸟变高手, 草根成长记》](#)

[点击下载>>特权同学倾力巨献——FPGA 学习资料下载汇总](#)