

手机设计

技术文库

欲打印此文章，从您的浏览器菜单中选择“文件”后再选“打印”。

PCB电源去耦设计指南

上网时间: 2006年03月01日

工程师们在设计PCB电源分配系统的时候，首先把整个设计分成四个部分：电源(电池、转换器或者整流器)、PCB、电路板去耦电容和芯片去耦电容。本文将主要关注PCB和芯片去耦电容。电路板去耦电容通常很大，大约是10mF或者更大，而且主要用于特定场合中。

设计一个去耦电容包括两步。首先，根据电气计算电容值，然后将电容放置在PCB上。确切地讲，电容放在离数字芯片多远的地方合适？但人们常常忽略了PCB本身就是去耦设计的一部分。本文将讨论在哪里电路板适合去耦设计。

去耦需求

基本上，电源通过一根导线向数字芯片提供能量。这个电源有可能离芯片比较“远”。电源线为5英寸长的16 AWG的电线和4英寸长的20mil的走线并不少见。这些导线具有电阻、电容和感应，这些都影响能量的传送。电感和导线的长度成正比，是产生大多数质量问题的原因。

走线需要着重考虑，因为它决定了总的电感和电流流动的环路环路。这个环路能够而且很可能会辐射电磁干扰(EMI)。

在芯片的旁边放置一个小电源(比如电容)，能让电容到芯片Vcc管脚之间的走线长度最小，从而减少环路面积。这能尽量减少由导线电感引起的电压降问题。由于回路环路减小了，所以EMI也减小了。

直接把数字芯片U1连接到电源上意味着可能需要几英寸的走线。可以将具有寄生电感L2和R2的电容C1插入到电路中离芯片比较近的地方，距离小于1英寸(图1)。L3是C1和U1之间的导线电感。L1和R1是从电源到电容之间导线的寄生参数。

这样，可将走线长度减小到mil量级，将导线阻抗减小到可以应用的程度。C2在这里非常重要，它决定电源必须供给多少电流。C2代表了U1的内部负载和U1必须驱动的外部负载。当S1关闭时，这些负载连接到电源，并马上需要电流。

电感是电源和开关之间阻抗的主要来源。例如，对于10mil宽度的走线，电阻、电容和电感分别大约是0.02Ω/in，2 pF/in和20nH/in。这些是用于PCB板的走线(微带线和带状线)和导线的典型数据。当频率大约高于100 kHz时，感抗jΩ是主要阻抗。

因此，增加C1具有两个作用。

一是它将减少开关期间，电源和芯片之间的导向电感。这将保护V1(也就是到U1上的Vcc)不会减小到低于进行正确电路操作的所需电压值。另外，它可减小高频电流流动的环路面积以及相应的EMI。

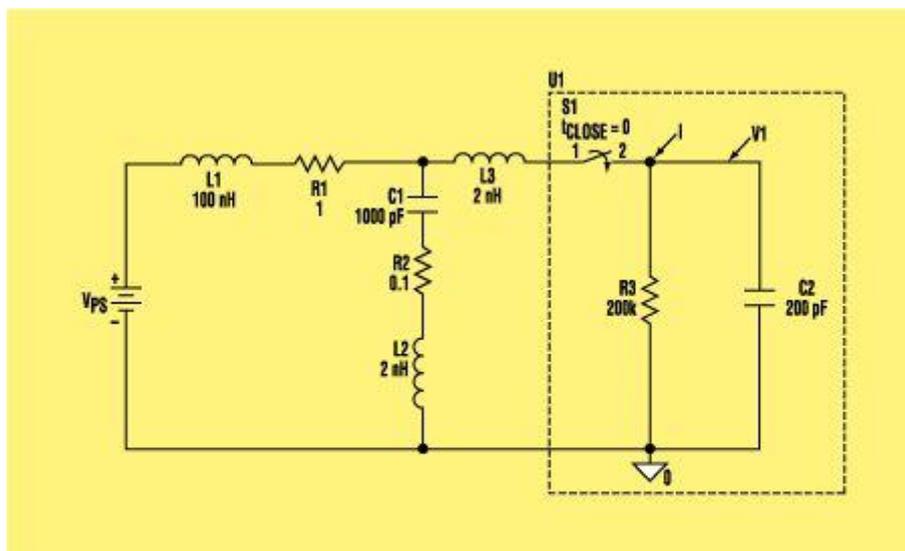
因此，电容将V1保持住，但需要将V1保持多高呢？这个问题主要集中在器件的噪声裕量，例如最小的电压噪声裕量VNmmin，这个噪声裕量可以存在，并仍允许正确的电路运行。(这有点难以计算，因为实际值依赖于半导体的噪声裕量，近似和电源电压成正比。)根据图1，正确的工作运行意味需要满足下面条件：

$$VN_{mmin} \geq VPS - VZ_{max} \quad (1)$$

在该图中，VZmax完全落在L3上。

电流I也需要考虑。简单讲，这是数字输入所需要的电流，设计工程师必须确保它的供应。因为它是所需的最大电流，Imax，因此电源和开关之间的最大阻抗Zmax不会大于：

$$|Z_{max}| \geq (VZ_{max}/I_{max}) \quad (2)$$



1. To properly analyze power distribution, consider the power supply, the trace parasitic inductance (L1) from the supply to the decoupling capacitor (C1), and the capacitor's parasitic elements (R2, L2).

从电源到芯片的线路是5英寸长的16-AWG导线和4英寸长、20mil宽的走线，它将提供100nH的电感。在某些频率 f 上，感抗将大于所能容忍的 Z_{max} 。这个频率将通过变换电感的阻抗方程得到：

$$f_{max} = |Z_{max}|/2\pi L \quad (3)$$

在这个频率之上， C_1 不能提供足够的电压来满足器件所需的噪声裕量，信息也无法成功地传输。

去耦电容为PCB上的芯片提供“高频”电流，而电源提供“低频”电流。为确定电容的尺寸，先收集计算 f_{max} 所需的信息，在 f_{max} 频率上电源供给的“低频”电流开始下降。同时也需要 U_1 负载所需的电流、能成功操作这些器件电压以及转换时间。

为获得这些数值，需要考虑电容器的寄生成分。在转换发生后的很短时间， U_1 的主要电源是去耦电容和它的寄生成分——等效串联电阻(ESR)和等效串联电感(ESL)。ESL包括导线电感和电容的电感两个部分，前者是设计工程师试图尽量减少的，后者则是必须容忍的。

为确定去耦电容的尺寸，首先确定数字 N 和 U_1 必须驱动的容性负载。这个数字和下一个芯片的容性输入以及电压随时间的变化决定了所需的最大电流。可用熟悉的公式 $I=C \times (dV/dt)$ 确定电流，这里为：

$$\Delta I_{max} = \sum_{i=1}^N C_{load,i} \left(\frac{\Delta V}{\Delta T} \right) \quad (4)$$

是在0V到VPS转换期间电压的最坏改变。注意在设计混合电压部分的时候，要使用正确的电压，比如3.3V/5V。

是逻辑器件 U_1 脉冲转换的上升时间。计算上升时间的方法有多种，因此使用最坏情况下的上升时间，或者是最快的上升时间。现在负载下拉的电流必须来自去耦电容，所以用下式计算电容值：

$$C=I/(dV/dt) \quad (5)$$

尽管我们现在已确定了去耦电容的值，但是还没有完成设计。

电容布局

接下来，设计工程师必须确定把电容放在PCB什么位置。它需要放置在能够最小化电容和芯片间走线电感的地方。电感同样需要最小化，而不走线长度。当把电容放到PCB上的时候，使电感而不是使走线长度最小化将允许更多的设计自由度。首先，设计工程师需要确定最大可用的走线长度来保持最大的设计自由度。

过程如下：设计工程师需要一个工作在 f_{max} (式3)到某个最高频率的电容。确定这个上界频率需要理解理想的数字波形输出和保持这个形状到某种程度的必要性。这是信号完整性设计的一个小部分。

理想的数字电路传输一个矩形脉冲到下一个电路。实际上是无法实现矩形脉冲的，但是能实现梯形脉冲。检查梯形脉冲的傅利叶序列，发现梯形脉冲由基频和所有谐波组成。当然，把所有的都加在一起，就可以实现原始的梯形脉冲。

但如果没有把所有的谐波加在一起会怎么样呢？如果只有最初的5个或者10个谐波相加会怎么样呢？是否有足够的谐波建立梯形脉冲而使输入电路不容易察觉变化呢？事实证明，在大多数情况下，只把前面10个谐波相加就可以让恢复出来的波形骗过大多数的电路，也就是说大多数的电路不会察觉变化。这就决定了设计去耦电容的时候需要处理的最高频率。另一个建议的方法，是利用 $f=1/tr$ 确定最高频率，其中 tr 是脉冲上升时间。在这个频率，谐波能量很小，并以40dB/decade的速度滚降。

现在可以确定最坏情况下电源电压可容忍的变化，从而开始设计。对CMOS来说，这个数字就是噪声预量 $VOH-VIH$ (从数据表上查这些值)。最坏情况下的变化为：

$$V = VCC(nominal) - (VOH + 10\% \times VCC) \quad (6)$$

10%即为电源的下降因子。

利用式6与电感的电流和电压，确定最大可允许的电感 L ：

$$L=V/(dI/dt) \quad (7)$$

其中， L 是电容、走线、芯片的连接线和引线等所引入总的串联电感， dI 是最大电流变化， dt 是电流的上升时间。

走线长度

对于两个或更多个电容来说，它们平行连接到芯片电源输入管脚上的走线长度是不同的，有效地走线长度决定了电容可以放到离芯片多远的地方。走线长度直接和走线的电感相关。因此，通过平行电感的公式可得到有效的走线长度，有效走线长度 IE 为：

$$IE = (I1 \times I2) / (I1 + I2) \quad (8)$$

其中I1和I2是平行电容的走线长度。每个平行电容离开VCC 管脚的最大距离是IE。

一旦电容选定并放在PCB上, 就要检查什么地方会出现电容和寄生电感的。共振频率可以通过下式得到:

$$f = 1 / 2\pi \sqrt{LC} \quad (9)$$

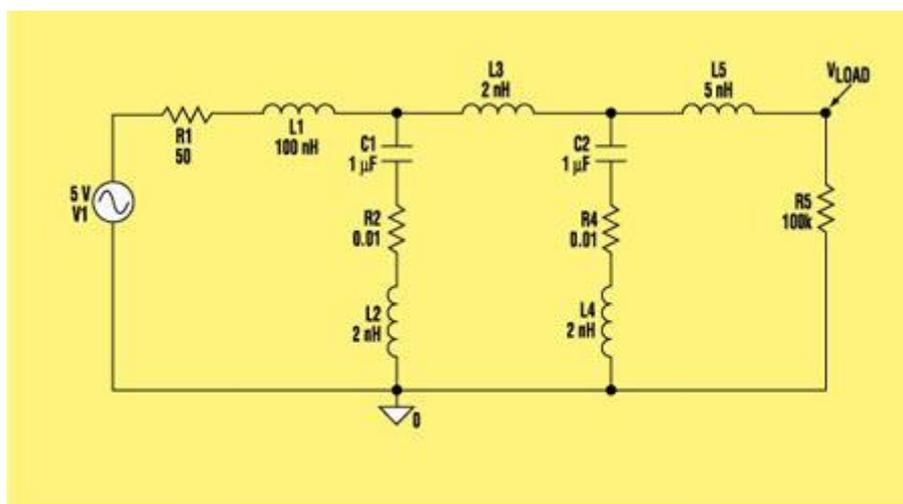
其中L=IE SL + LTRACE。

超过这个频率, 电容迅速变为一个电感。如果共振频率发生在远低于10 * fpulse的频率上, 则要检查设计, 以采取折衷措施。

使用多个去耦电容

如果使用N个同等电容值的电容, 总的ESL和ESR将减少到1/N(图2)。当连接电源和地之间电容的走线相等时, 这是一个特殊的情况。同样也假定电感之间的互耦合很小。N个具有同样电容值的电容的阻抗曲线接近单个电容的曲线。

如果采用N个不同电容值的电容, ESR和ESL会降低, 但将在阻抗曲线引入一个共振峰值, 并带来严重的设计后果(图3)。这里也再次假定走线长度相同。



2. Using N equal-value capacitors, like the two shown here, reduces ESL and ESR by 1/N. The traces connecting the capacitors between power and ground must be equal.

使用PCB

不要忘记PCB。忽视它几乎免费提供的诸多好处, 将提高设计成本, 增加额外的元件。这些额外的元件将占用额外的空间, 降低总的可靠性并可能增加EMI。

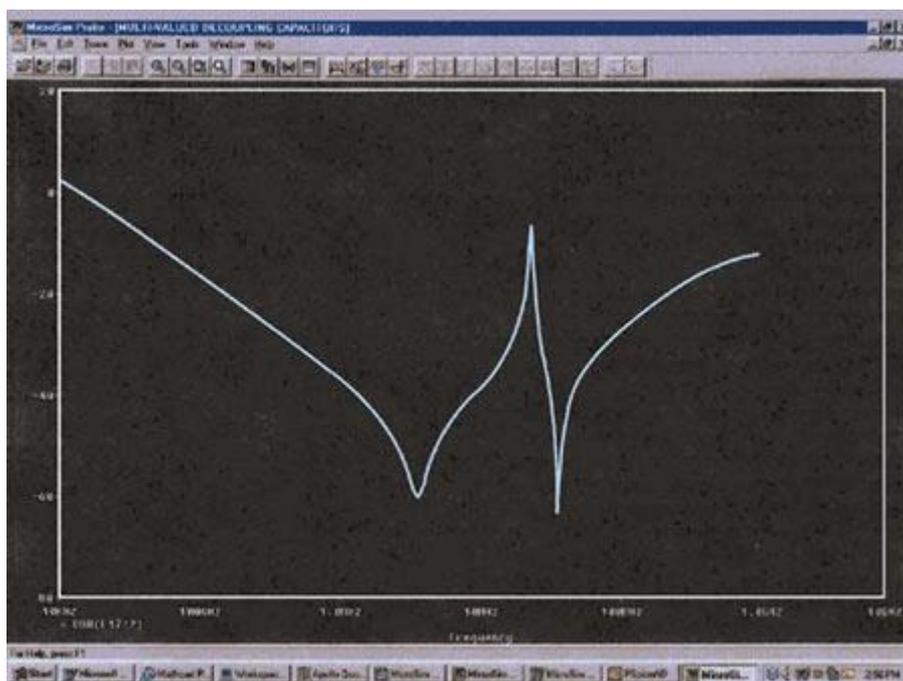
式10给出了一组平行的电源层的阻抗公式。这只是串联LRC电路的阻抗公式。只要PCB没有开始像传输线一样工作, 这个公式就是有用的。换句话说, 如果l < lambda/20, 那么它是有用的。其中l是PCB的最大尺寸(对角线), lambda是和最高频率有关的波长。

直到这一点, PCB阻抗几乎是容性, 并且能提供耦合电容截止频率之上的所有需要的电流。因为ESR非常小, 寄生电感也非常小, 因此PCB会在一个比较宽的频率范围呈现出很低的阻抗。

如果PCB具有两个相邻的电源和地层, 那么它在设计中具有很好的内部电容。用于并联平面电容的计算公式可被用来确定PCB的电容:

$$C(pF) = \epsilon(A/d) = 0.225 (\epsilon_r/d)A \quad (11)$$

上式的最后一部分在以英寸为单位的时候有效。其中, $\epsilon = \epsilon_0 \times \epsilon_r$, ϵ_0 是空气的介电常数, 为8.85 pF/m, ϵ_r 是电容板之间介质的相对介电常数。对于FR4材料, ϵ_r 等于4.5。A是电容板之间的面积, d是板之间距离。



3. If the paralleled capacitors in Figure 2 have different values, a resonant peak in the decoupling impedance curve could be created

实际上, 对于PCB向

VCC管脚输入电流的能力, 没有一个上限的频率限制。PCB的设计是一个复杂的题目, 有许多可用的介质来增加上限频率。对于FR4材料, 上限频率范围非常高, 超过了2 GHz, 这使得现在大多数汽车用PCB电路看起来上限频率是无限的。实际上, 上限频率由PCB的最大尺寸 l 和最小波长 λ 决定。

不幸的是, 在自动设计中PCB的总电容值是很小的。当采用FR4作为电介质, 板间隔为20mil, 具有固定电源和接地层电容时, PCB电容通常约为53 pF/平方英寸。4层板的FR4 PCB会有一些范围的电介质厚度。这种变化可以是来自制程变化、整个板所需的厚度、所需的弹性或者硬度、铜厚(这会影响到电介质厚度)以及击穿电压的要求。没有特殊要求下的PCB介质厚度变化幅度为0.5到0.8mm。

PCB电容的质量通常很好优秀, 因为很少有电感。就像前面所说, 电感是电容器随着频率退化的主要原因。

电容的小尺寸是一个值得注意因素。PCB上能够有效供应电流的电容值一般要超过500 pF/平方英寸。在FR4板上获得这个值是不可能的, 因此需要特殊的PCB设计和材料。

EMC方面的好处

除了从良好设计的电源分配系统得到的信号完整性外, PCB也会带来更低的EMI。正如前面所提到的, 这主要是由于减小了环路面积。这以两种方式表现。首先, 法拉第定律指出, 通过流过其他电路的电流, 环路面积 A 将给电路中带来电压。

$$V_{INDUCED}(V) = \left(\frac{\mu_0 I}{2\pi r} \right) \times \left(\frac{dl}{dt} \right) \times \cos(\theta) \quad (12)$$

同样, 在数字电路中, 电流回路引起电磁场的简化表达式表明较小的回路具有更低辐射:

$$E(V/m) = 263 \times 10^{-16} \times [f^2 A(l/r)] \quad (13)$$

成本效益

设计良好的电源分配系统可以节省成本。式14给出了器件减少和成本降低之间的简单关系。

至此, 讨论围绕着向芯片提供电流。但是设计者可能希望限制流向芯片的电流。请记住, 一个芯片只要有低于上限频率($10 * f_{max}$), 或者 $1/\pi r$ 的电流就能工作得很好。设计者不能接触那些频率上的任何电流。但是超过某个上限频率, 芯片可以在无电流下工作得很好。此外, 因为那些电流有可能产生EMI, 所以它们可以被抑制, 从而减小EMI。

为限制电流, 在去耦电容和芯片的VCC引线之间插入一个磁珠。在做这个之前, 设计者必须知道他们不会使芯片缺少电流。

作者: Charles P. Capps

此文章源自《手机设计》网站:

http://www.cellphone.eetchina.com/ART_8800408558_2000004_798bee8f_no.HTM

[返回文章页](#) | [返回主页](#)

[返回页首](#)



[RSS新闻聚合](#) [XML](#) | [关于我们](#) | [联系我们](#) | [使用条款](#) | [隐私政策](#) | [安全承诺](#)

Copyright © 2006 eMedia Asia Ltd. 本网站所有内容均受版权保护。
未经版权所有人明确的书面许可, 不得以任何方式或媒体翻印或转载本网站的部分或全部内容。