

引言

随着器件引脚密度和系统频率的增大，印刷电路板(PCB)布板越来越复杂。成功的高速电路板应能够高效的集成器件和其他模块，避免出现与高速 I/O 标准相关的信号传输问题。Altera®器件具有高速 I/O 引脚，支持多种高速特性，边沿速率不到一百皮秒，因此，要实现成功的设计，需要：

- 所有器件进行电源滤波，均匀分配电源，降低系统噪声。
- 匹配信号线，减小信号反射。
- 降低并行走线之间的串扰
- 减小地反弹效应
- 阻抗匹配

本应用笔记讨论以下问题，为使用 Altera 器件高效实现成功的电路板设计提供指南：

- 材料选择
- 传输线
- 布线方法，以降低串扰，维持信号完整性。
- 匹配方法
- 同时开关噪声(SSN) 同步开关噪声
- 其他具体的 FPGA 电路板设计和信号完整性技巧

材料选择

取决于 PCB 介质构成材料，较快的边沿速率会带来噪声和串扰。介质材料的相对介电常数(ϵr)与均匀介质中反向电荷的引力(即，公式 1)相关。

公式 1:

$$F = \frac{Q_1 Q_2}{4\pi\epsilon r^2}$$

其中, $Q1, Q2 =$ 电荷, $r =$ 电荷间的距离(m), $F =$ 力(N), $\epsilon =$ 介电常数(F/m)

每一 PCB 基底都有不同的相对介电常数。相对介电常数是相对于真空的介电系数(即, 公式 2)。

公式 2:

$$\epsilon_r = \frac{\epsilon}{\epsilon_0}$$

其中, $\epsilon_r =$ 相对介电常数, $\epsilon_0 =$ 真空介电常数(F/m), $\epsilon =$ 介电常数(F/m)。

相对介电常数是两块金属板之间以绝缘材料为介质时的电容量与同样两块板之间以真空为介质时的电容量之比。相对介电常数影响传输线的阻抗, 信号在 ϵ_r 较小的介质中传输时速度较快。

当高频信号在 PCB 上从驱动器沿较长的传输线传输到接收器时, 介质材料的损耗因数对信号的影响非常大。较大的损耗因数意味着较高的介质吸收。损耗因数较大的材料会影响长传输线上的高频信号。介质吸收增大了高频衰减。表 1 列出了 FR-4 和 GETEK 材料的损耗因数。

PCB 最常用的介质材料是 FR-4, 它采用了环氧树脂玻璃叠层, 可满足多种工艺条件要求。FR-4 的 ϵ_r 在 4.1 和 4.5 之间。GETEK 是另一种可以用于高速电路板材料。GETEK 由环氧树脂(聚苯醚)构成, ϵ_r 在 3.6 和 4.2 之间。

表 1. FR4 和 GETEK 材料的损耗因数

| 生产商 | 材料 | 损耗因数 |
|------------------------|-------|---------------|
| GE Electromaterials | GETEK | 0.010 @ 1 MHz |
| Isola Laminate Systems | FR-4 | 0.019 @ 1 MHz |

传输线

传输线是一种具有分布式电阻(R)、电感(L)和电容(C)的走线。有两类传输线布局:

- 微带
- 带状线

图 1 所示是一种微带布局，走线在 PCB 的顶层和底层，只有一个电压参考平面(即，电源或者 GND)。图 2 所示是一种带状线布局，走线在 PCB 内层，有两个电压参考平面(即，电源以及 GND)。

图 1.微带传输线布局 注释(1)

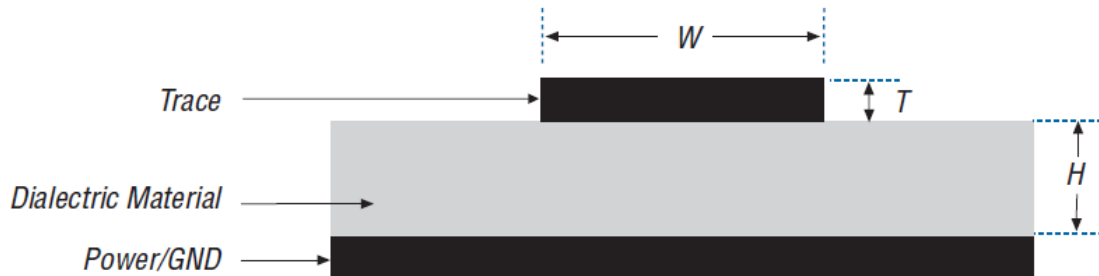


图 2.带状传输线布局 注释(2)

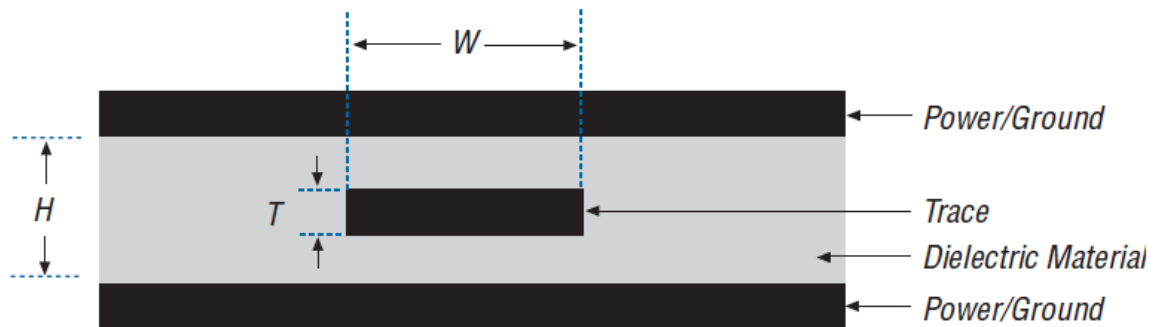


图 1 和图 2 的注释：

- (1) W = 走线宽度， T = 走线厚度， H = 走线和参考平面之间的高度。
- (2) W = 走线宽度， T = 走线厚度， H = 走线和两个参考平面之间的高度。

阻抗计算

PCB 上的任何电路走线都有其特征阻抗。这一阻抗取决于走线宽度(W)、走线厚度(T)，以及所用材料的相对介电常数(ϵ_r)，走线和参考平面之间的高度(H)。

微带阻抗

PCB 外层电路走线采用了微带布局，其下有参考平面(即，GND 或者 VCC)。使用公式 3 来计算微带线布局的阻抗。

公式 3:

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98 \times H}{0.8W + T} \right) \Omega$$

公式 3 使用典型值 $W = 8 \text{ mil}$ ， $H = 5 \text{ mil}$ ， $T = 1.4 \text{ mil}$ ， ϵ_r 和(FR-4) = 4.1，得到微带阻抗 (Z_0):

$$Z_0 = \frac{87}{\sqrt{4.1 + 1.41}} \ln \left(\frac{5.98 \times (5)}{0.8(8) + 1.4} \right) \Omega$$

$$Z_0 \sim 50 \Omega$$

公式 3 中的测量单位是 mil (即，1 mil = .001 英寸)。通常采用盎司(即，1 oz = 1.4 mil)来测量铜(Cu)走线厚度(T)。

图 3 显示了微带走线阻抗与走线宽度(W)的关系，使用了公式 3，保持介质高度和走线厚度不变。

图 3. 微带走线阻抗与走线宽度的关系

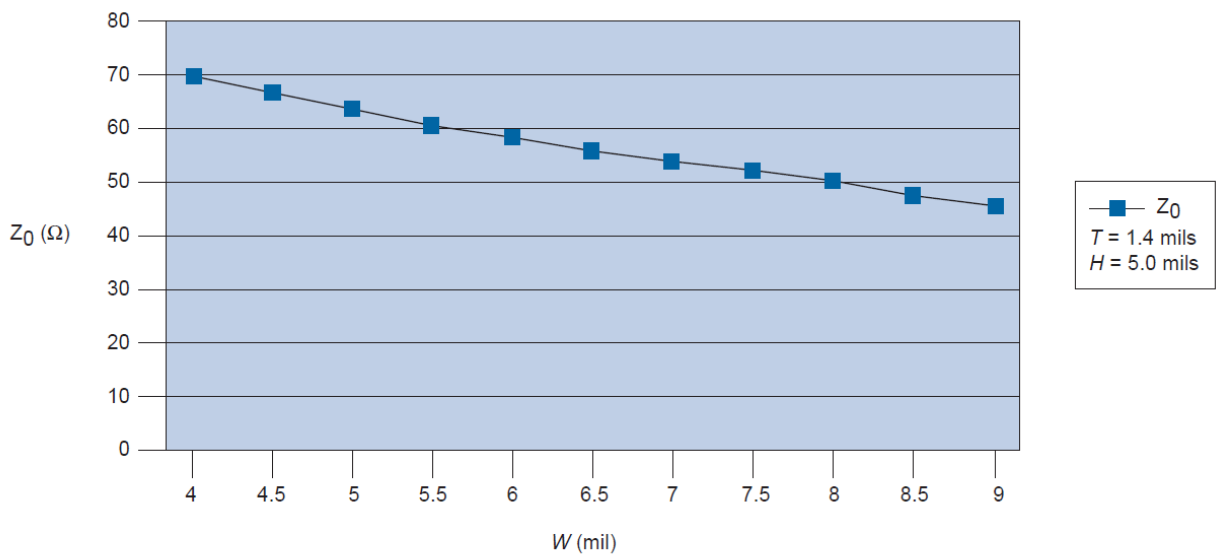
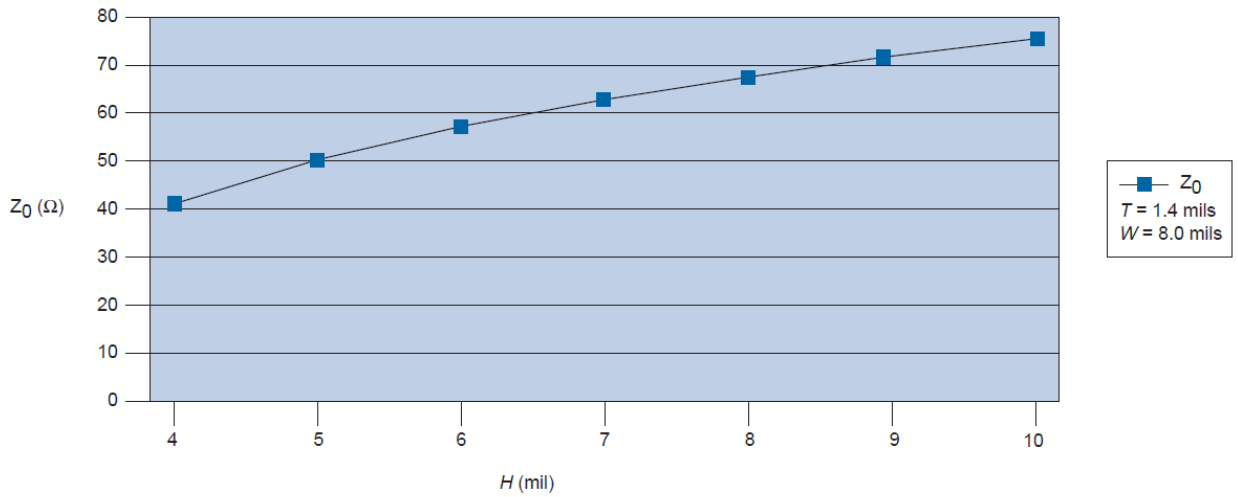


图 4 显示了微带走线阻抗与高度(H)的关系, 使用了公式 3 中的数据, 保持走线宽度和走线厚度不变。

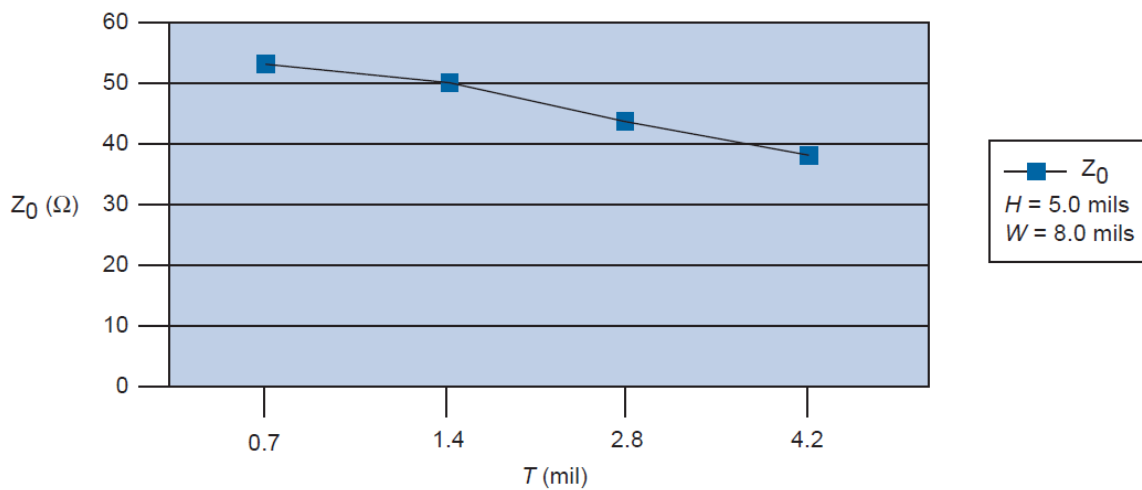
图 4. 微带走线阻抗与走线高度的关系



阻抗图显示, 阻抗变化与走线宽度成反比, 与地平面之上走线高度成正比。

图 5 显示了微带走线阻抗与走线厚度(T)的关系, 使用了公式 3, 保持介质宽度和介质高度不变。图 5 显示, 随着走线厚度的增加, 走线阻抗在减小。

图 5. 微带走线阻抗与走线厚度的关系



带状线阻抗

PCB 内层电路走线采用了带状线布局，其下有两个电压参考平面(即，电源以及 GND)。您可以使用公式 4 来计算带状线布局的阻抗。

公式 4:

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4H}{0.67\pi(T + 0.8W)} \right) \Omega$$

公式 4 使用典型值 $W = 9 \text{ mil}$ ， $H = 24 \text{ mil}$ ， $T = 1.4 \text{ mil}$ ， ϵ_r 和(FR-4) = 4.1，得到带状线阻抗(Z_0):

$$Z_0 = \frac{60}{\sqrt{4.1}} \ln \left(\frac{4(24)}{0.67\pi(1.4) + 0.8(9)} \right) \Omega$$

$$Z_0 \sim 50 \Omega$$

图 6 显示了带状线阻抗和走线宽度的关系，使用公式 4，保持高度和厚度不变。

图 6. 带状线阻抗与走线宽度的关系

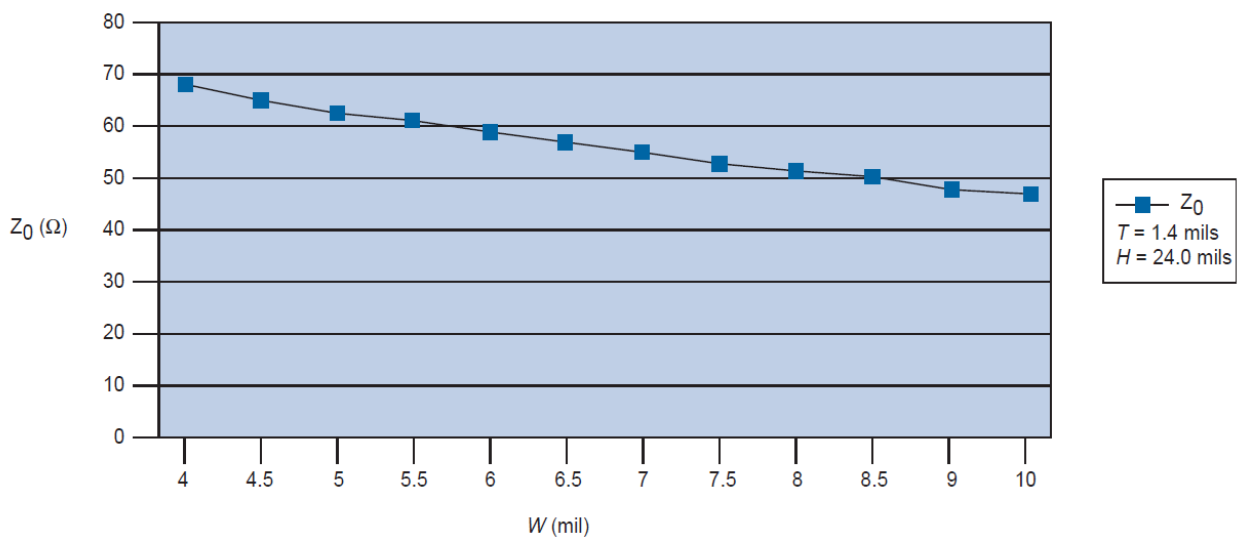
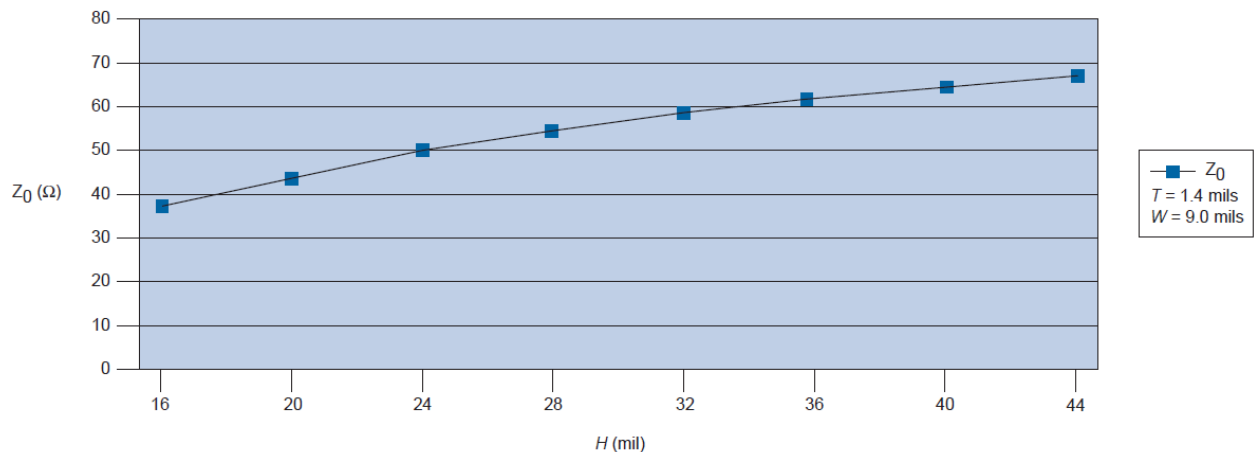


图 7 显示了带状线阻抗与介质高度(H)的关系, 使用了公式 4, 保持走线宽度和走线厚度不变。

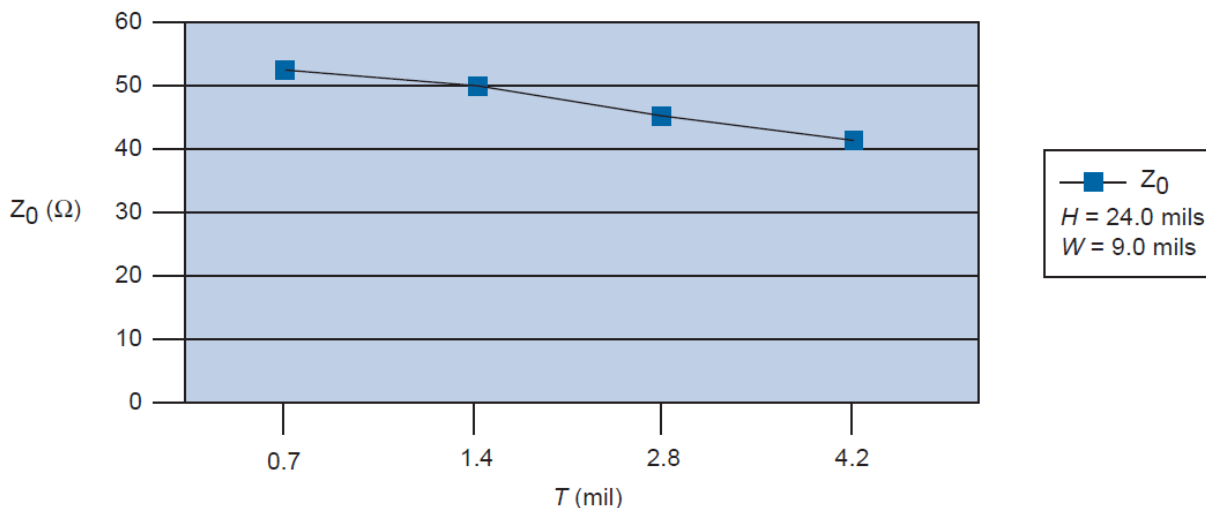
图 7. 带状线阻抗与介质高度的关系



与微带布局一样, 带状线布局阻抗也与走线宽度成反比, 与高度成正比。但是, 与微带布局相比, GND 以上走线高度的变化率要远远小于带状线布局。带状线布局采用了 FR-4 材料夹层信号, 而微带布局采用了一个导体空气开口。与微带布局相比, 这一开口导致更高效的相对介电常数带状线布局。因此, 为获得相同的阻抗, 与微带布局相比, 带状线布局介质间距要大得多。因此, 采用了受控阻抗线的带状线布局 PCB 要比微带布局 PCB 厚一些。

图 8 显示了带状线阻抗与走线厚度的关系，使用了公式 4，保持走线宽度和介质高度不变。图 8 显示，随着走线厚度的增加，特征阻抗在减小。

图 8. 带状线阻抗与走线厚度的关系



传播延时

传播延时(t_{PD})是信号从一个点传播到另一个点所需要的时间。传输线传播延时是材料相对介电常数的函数。

微带布局传播延时

您可以使用公式 5 来计算微带线布局传播延时。

公式 5:

$$t_{PD} (\text{microstrip}) = 85 \sqrt{0.475\epsilon_r + 0.67}$$

带状线布局传播延时

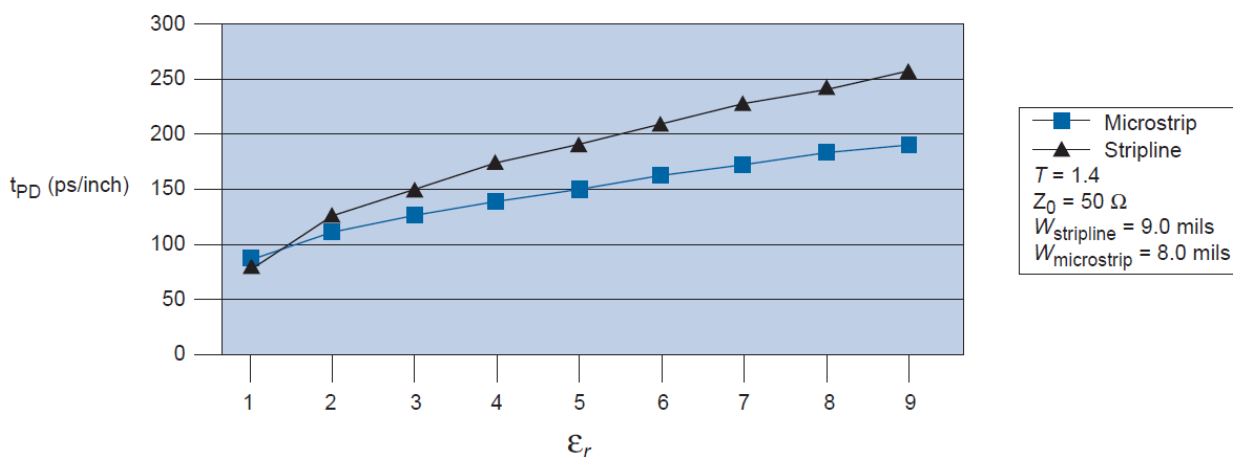
您可以使用公式 6 来计算带状线布局传播延时。

公式 6:

$$t_{PD} (\text{stripline}) = 85 \sqrt{\epsilon_r}$$

图 9 显示了微带线和带状线传播延时与相对介电常数的关系。随着 ϵ_r 的增大，传播延时(t_{PD})也在增大。

图 9. 微带线和带状线传播延时和相对介电常数的关系



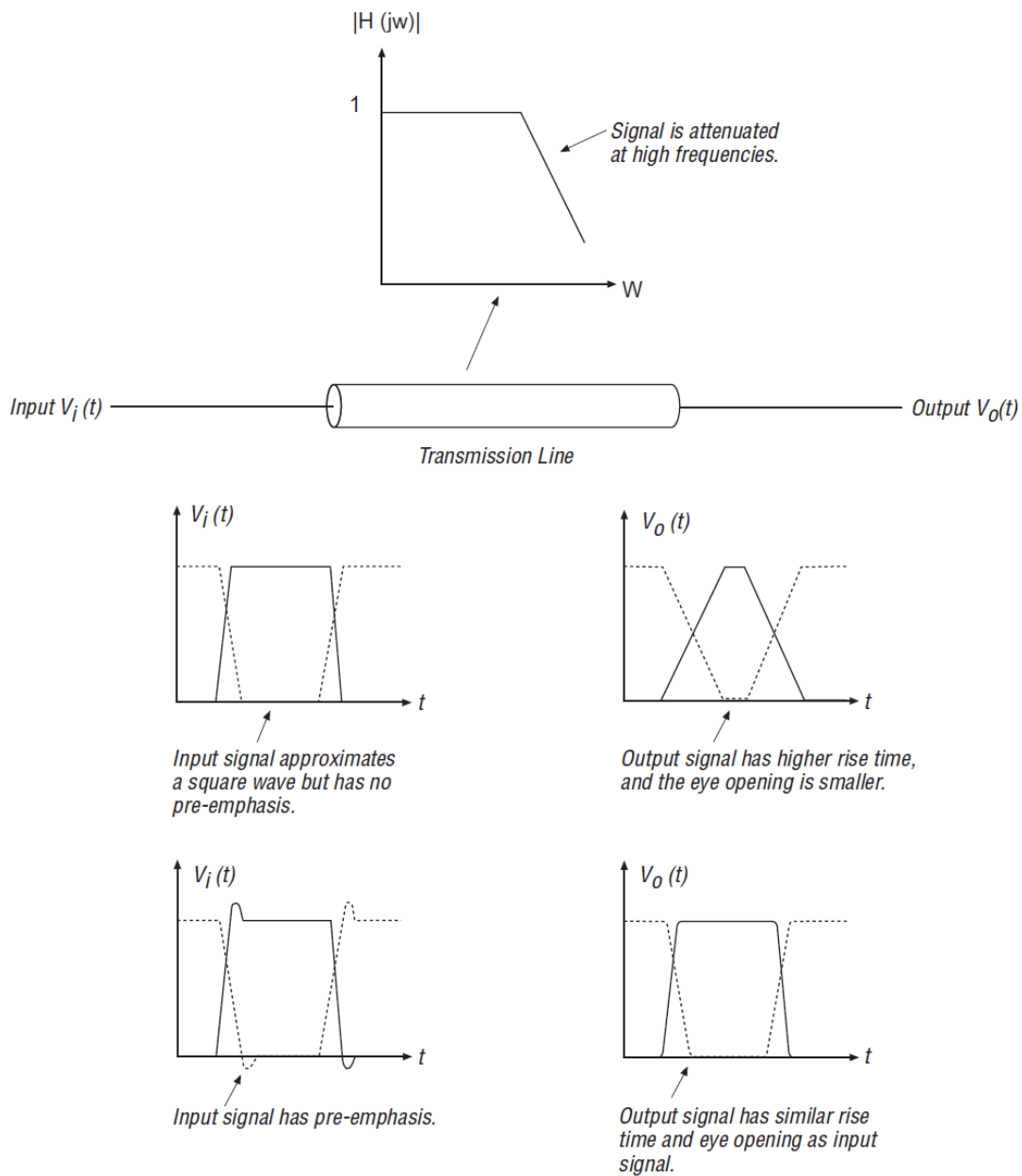
预加重

铜走线和同轴电缆等典型传输介质都有低通特性，因此，它们的高频衰减比低频大。接近方波的典型数字信号在跃变区有高频分量，在平稳区有低频分量。当这一信号通过低通介质时，其高频衰减要大于低频，导致信号上升时间增大。因此，眼图变窄，误码率增大。

“趋肤效应”也会劣化信号的高频分量。趋肤效应的原因是高频电流主要在导体的表面流动。电流分布的变化导致阻抗是频率的函数，随频率增大而增大。

您可以使用预加重来补偿趋肤效应。通过傅立叶分析，方波信号频率分量数量有限。高频位于低电平到高电平跃变以及高电平到低电平跃变的区域，低频位于平稳(常数)区域。增大信号在跃变区的幅度能够相对于低频分量而加重高频分量。当预加重后的信号通过低通介质时，如果您采用了合适的预加重，那么，信号的失真会大大降低。请参考图 10 对这一概念的图形描述。

图 10. 采用了预加重以及没有采用预加重时的输入和输出信号



Stratix™ GX 器件提供可编程预加重功能，补偿传输线介质长度的变化。您可以根据输出差分电压值(VOD)，将预加重设置在 5%和 25%之间。表 2 列出了可以使用的 Stratix GX 可编程预加重设置。

表 2.Stratix GX 器件可编程预加重

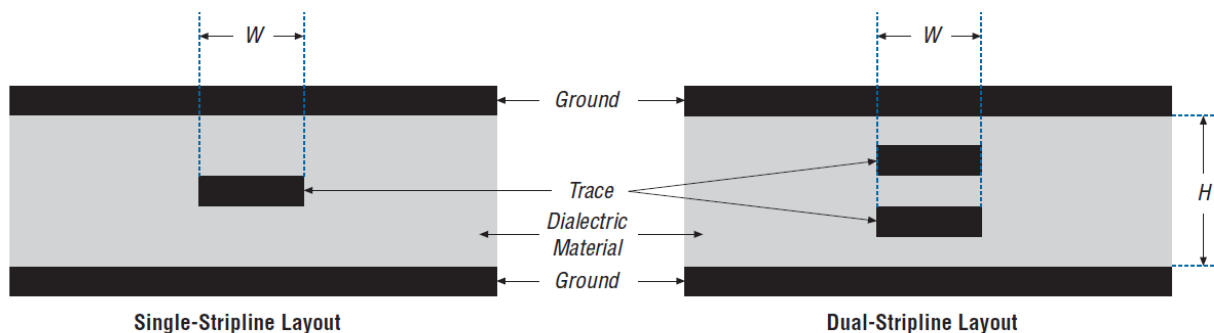
| V _{OD} | Pre-emphasis Setting | | | | |
|-----------------|----------------------|-------|-------|-------|-------|
| | 5% | 10% | 15% | 20% | 25% |
| 400 | 420 | 440 | 460 | 480 | 500 |
| 480 | 504 | 528 | 552 | 576 | 600 |
| 600 | 630 | 660 | 690 | 720 | 750 |
| 800 | 840 | 880 | 920 | 960 | 1,000 |
| 960 | 1,008 | 1,056 | 1,104 | 1,152 | 1,200 |
| 1,000 | 1,050 | 1,100 | 1,150 | 1,200 | 1,250 |
| 1,200 | 1,260 | 1,320 | 1,380 | 1,440 | 1,500 |
| 1,400 | 1,470 | 1,540 | - | - | - |
| 1,440 | 1,512 | 1,584 | - | - | - |
| 1,500 | 1,575 | - | - | - | - |
| 1,600 | - | - | - | - | - |

降低串扰和维持信号完整性的布线方法

串扰是并行走线间不需要的信号耦合。微带线和带状线正确的布线和叠层布局能够降低串扰。

双带线布局有两个靠近的信号层(参见图 11)，为降低双带线的串扰，所有走线垂直布设，增大两个信号层之间的距离，减小信号层和邻近参考平面的距离。

图 11.双带线布局

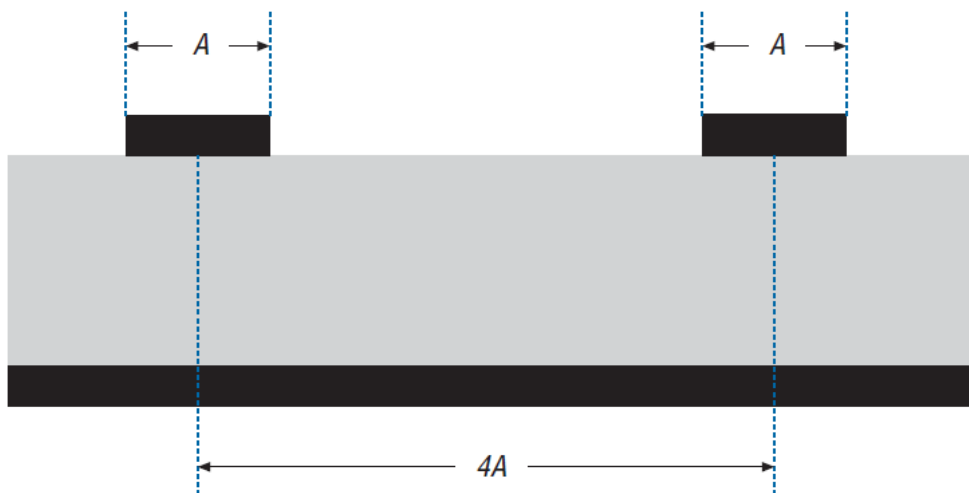


使用下面步骤来减小微带线或者带状线布局的串扰：

- 在布线要求允许范围内，尽可能加宽信号线之间的距离。走线之间尽量不要靠近，距离保持在介质高度三倍以上。
- 对传输线进行设计，使得导体尽可能靠近地平面。这一方法使传输线能够与地平面紧耦合，有助于和邻近信号去耦合。
- 尽可能使用差分布线方法，特别是关键网络(例如，匹配长度，以及每条走线串通回转等)。
- 如果存在明显的耦合，不同层之间布设互相垂直的单端信号。
- 减小单端信号之间并行走线长度。以较短的并行走线布线，减小网络之间的长耦合走线。

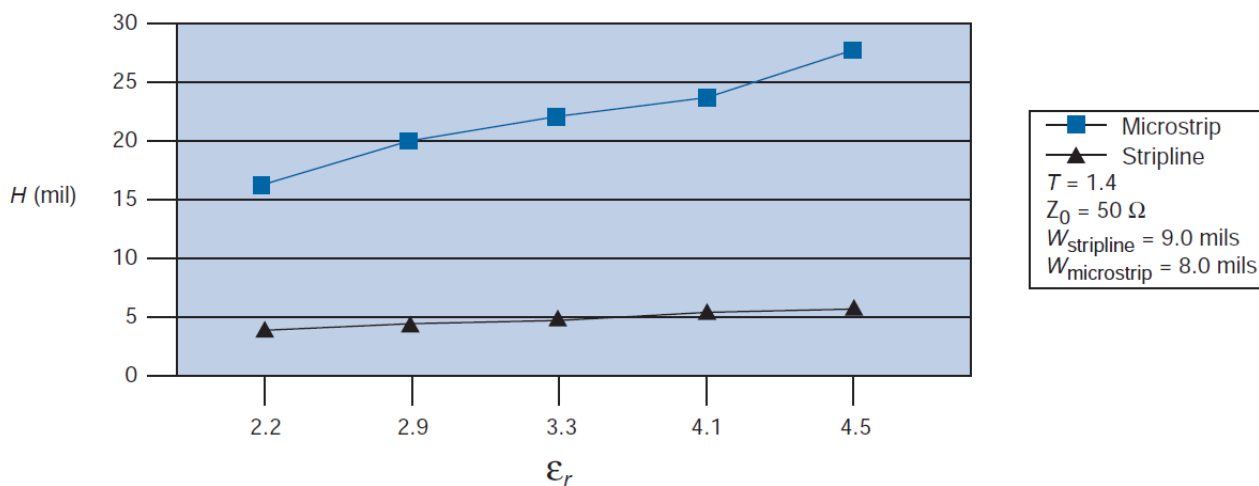
当两条或者多条单端走线并行布设，没有分开足够的距离时，也会有很大的串扰。两条邻近走线中心之间的距离应至少是走线宽度的四倍，如图 12 所示。为提高设计性能，减小走线和地平面之间的距离，使其小于 10 mils，不改变两条走线之间的间隔。

图 12. 分离走线，降低串扰



与相对介电常数较大的材料相比，相对介电常数较小的材料有助于减小走线和地平面之间的厚度，同时保持了信号完整性。图 13 显示了高度与相对介电常数关系，使用了公式 3 和公式 4，保持阻抗、宽度和厚度不变。

图 13.高度和相对介电常数



信号走线布线

正确的布线有助于维持信号完整性。为实现干净的布线，您应该采用良好的信号完整性 (SI) 工具进行仿真。下面介绍了适合布线的两类信号走线：

- 单端走线
- 差分对走线

单端走线布线

单端走线连接源和负载/接收器。单端走线用于普通点对点布线、时钟布线、低速和不关键的 I/O 布线。这一部分讨论时钟信号的各种布线方法。您可以使用以下类型的布线来驱动具有相同时钟的多个器件。

- 菊花链布线
 - 带有短截线
 - 没有短截线
- 星型布线
- 蛇型布线

使用以下指南来提高时钟传输线的信号完整性：

- 时钟走线尽可能保持直线。使用弧形走线，而不是直角弯曲。
- 时钟信号不要使用多个信号层。
- 在时钟传输线上不要使用过孔。过孔会导致阻抗变化和反射。
- 靠近外层布设地平面，降低噪声。如果您使用内层进行时钟走线布线，该层应夹在参考平面之间。
- 匹配时钟信号以降低反射。
- 尽可能多的使用点对点时钟走线。

带有短截线的菊花链布线

菊花链布线是最常见的 PCB 设计。菊花链布线的缺点是通常需要短截线，或者短走线将器件连接至主总线(参见图 14)。如果短截线过长，会导致传输线反射，劣化信号完整性。因此，短截线长度应满足以下条件：

$$TD_{\text{stub}} < (T_{10\% \text{ to } 90\%})/3$$

其中， TD_{stub} = 短截线电延时

$T_{10\% \text{ to } 90\%}$ = 信号边沿的上升或者下降时间

对于 1-ns 的上升边沿，短截线长度应小于 0.5 英寸(请参见第 33 页的“参考”)。如果您的设计使用多个器件，所有短截线长度应相同，以降低时钟偏移。图 14 显示了短截线布线。如果可能，在 PCB 设计中，您应该避免使用短截线。对于高速设计，即使非常短的短截线也会带来信号完整性问题。

图 14. 带有短截线的菊花链布线

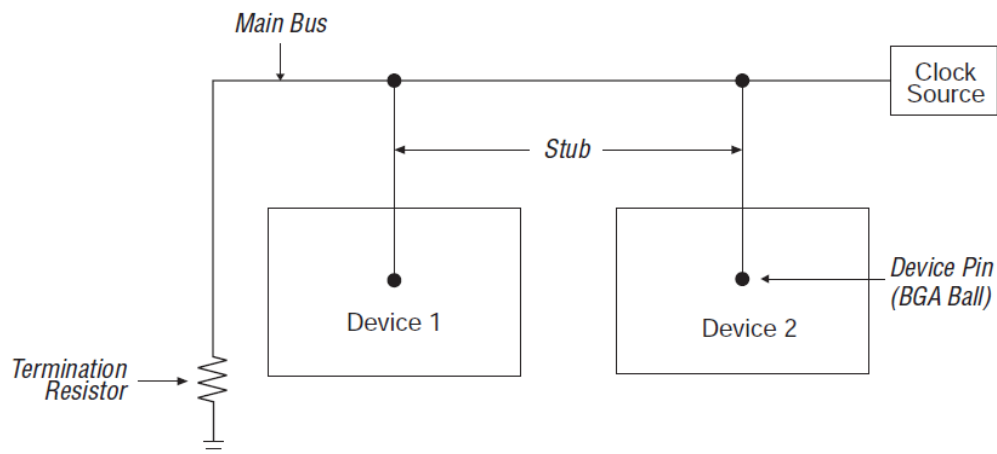


图 15 至图 17 显示了短截线不同长度时的 SPICE 仿真。随着短截线长度的减小，反射噪声随之降低，因此，眼图进一步张开。

图 15. 短截线长度 = 0.5 英寸

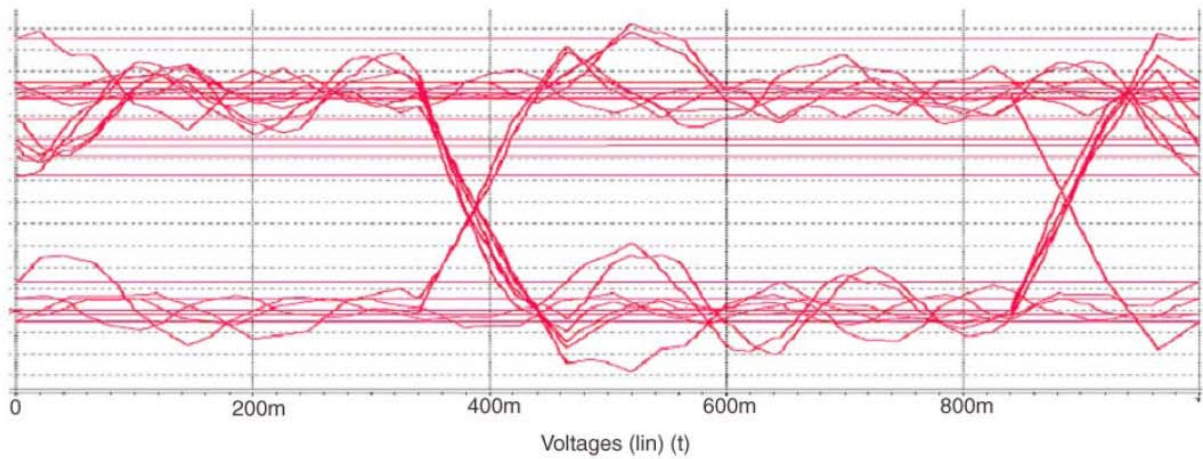


图 16. 短截线长度 = 0.25 英寸

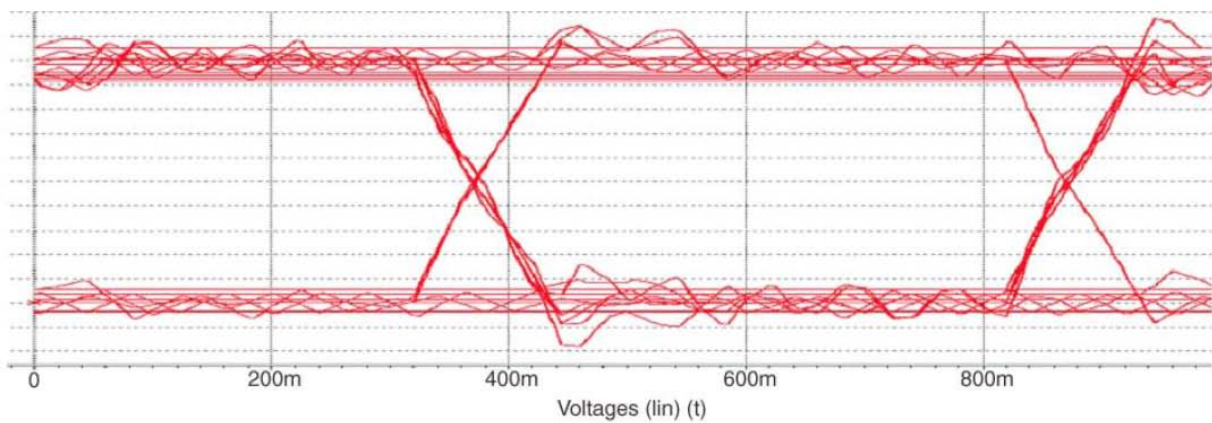
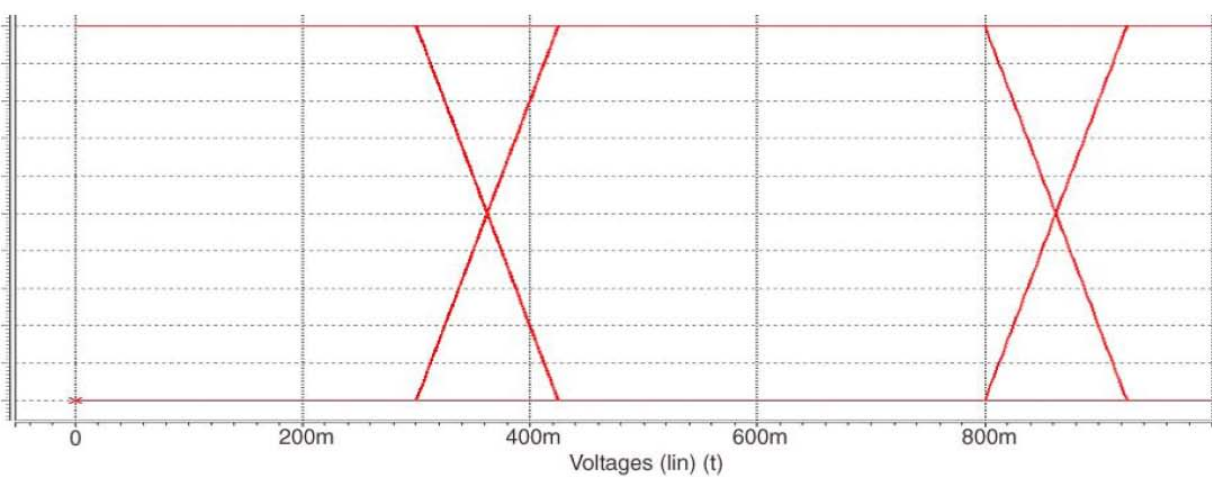


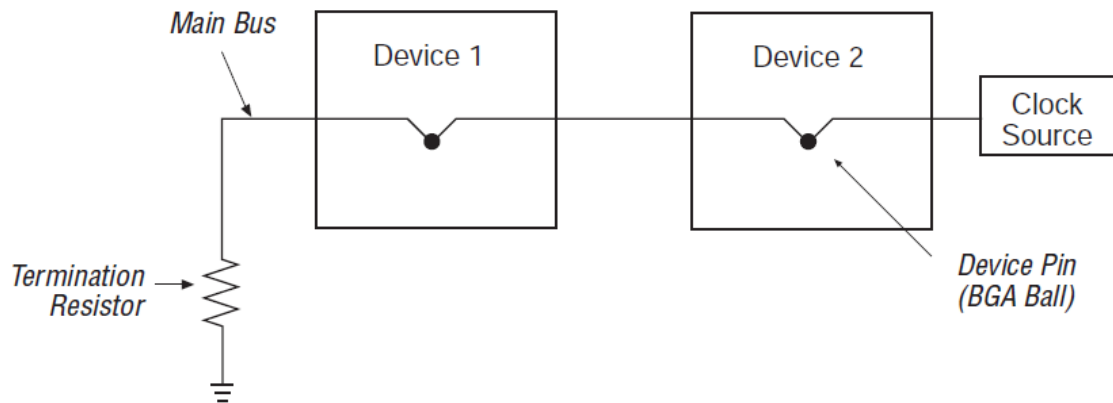
图 17. 短截线长度 = 0 英寸



没有短截线的菊花链布线

图 18 中菊花链布线的主总线通过器件引脚，避免了短截线。这种布局降低了主总线 and 短截线之间的阻抗不匹配风险，避免了信号完整性问题。

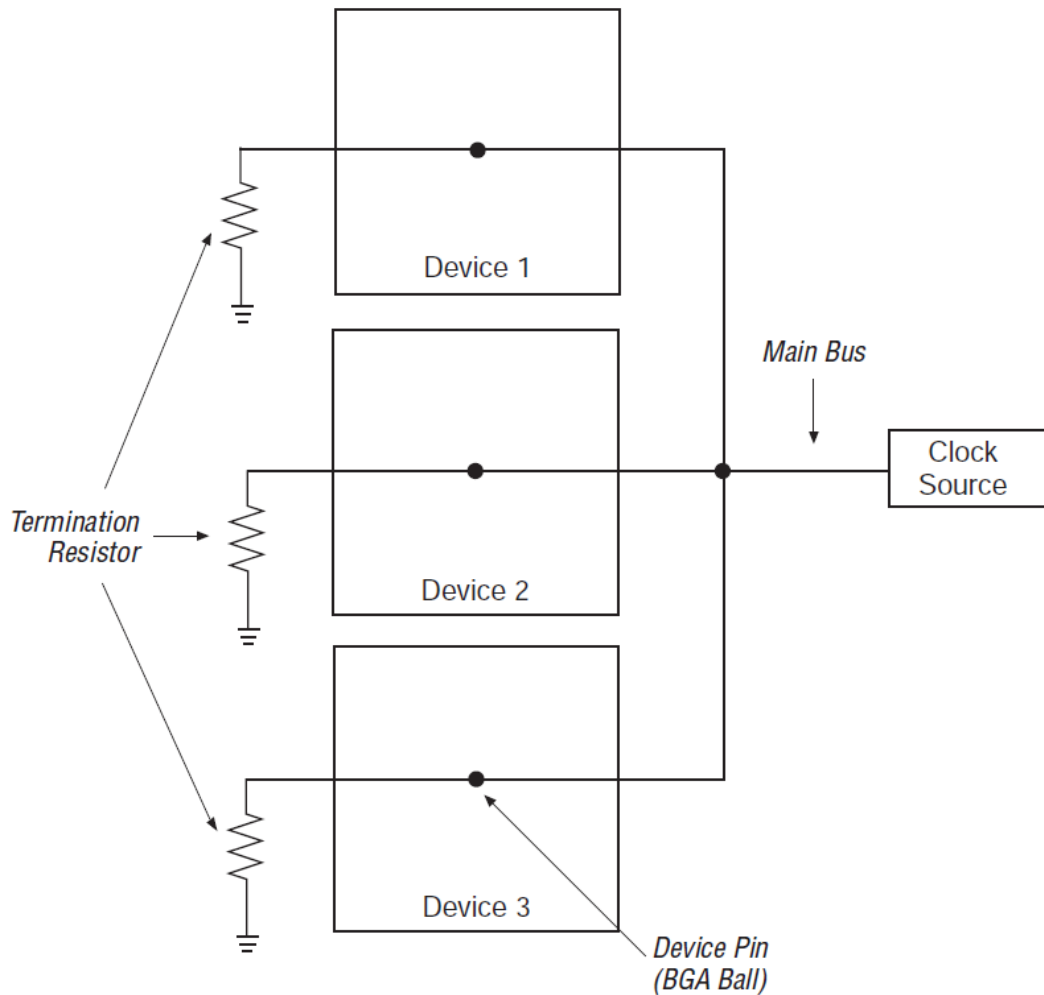
图 18. 没有短截线的菊花链布线



星型布线

在星型布线中，时钟信号同时连接至所有器件(参见图 19)。因此，时钟源和器件之间的所有走线长度都应匹配，以降低时钟偏移。每一负载应相同，从而减小信号完整性问题。在星型布线中，主总线阻抗和连接多个器件的长走线阻抗必须匹配。

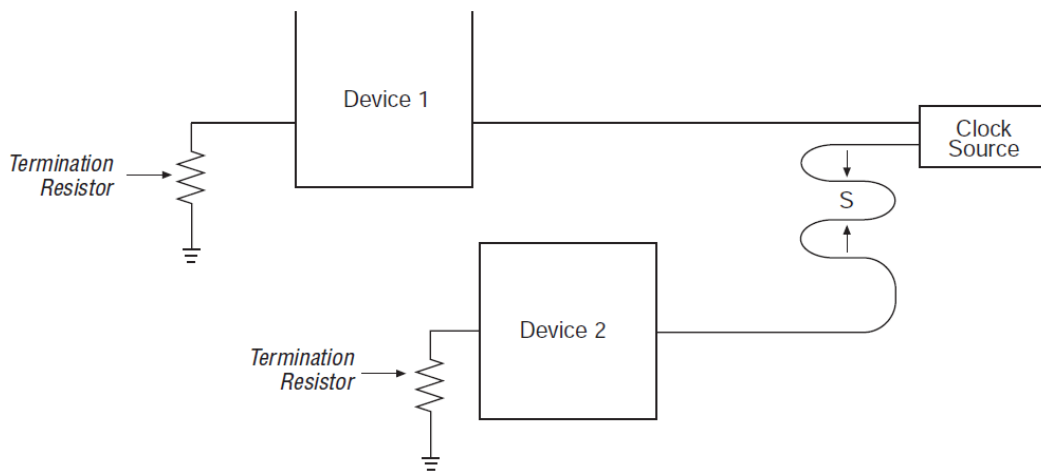
图 19.星型布线



蛇型布线

当设计的源和多个负载之间需要等长走线时，您可以弯曲一些走线来匹配走线长度(参见图 20)。不合适的走线弯曲会影响信号完整性和传播延时。为降低串扰，应确保 $S \geq 3 \times H$ ，其中， S 是并行部分之间的间距， H 是参考地平面之上信号走线的高度。请参考图 21。

图 20.蛇型布线



Altera 建议尽可能避免使用蛇行布线。相反，应使用弧形来建立等长走线。

差分走线布线

为提高信号完整性，采用正确的差分信号布线方法对于高速设计非常重要。图 21 显示了使用微带线布局的差分对。

图 21.差分走线布线 注释(1)

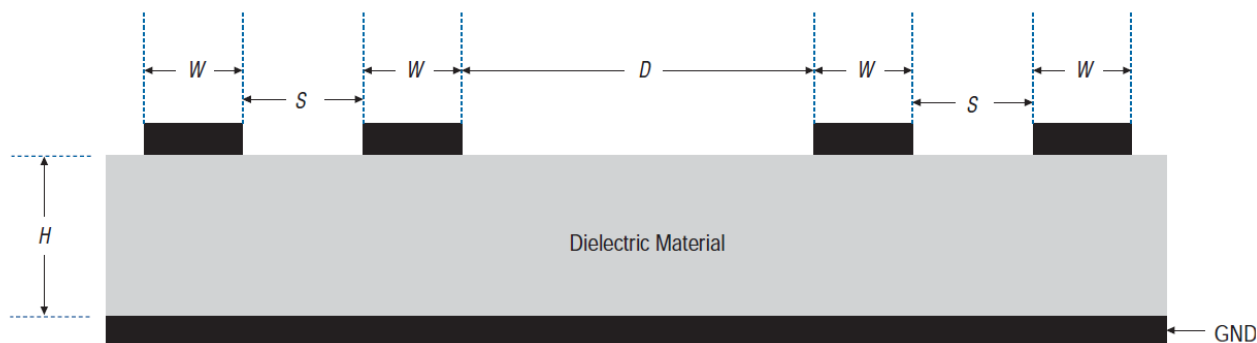


图 21 注释：

(1) D = 两个差分对信号之间的距离； W = 差分对走线宽度； S = 差分对走线之间的距离； H = 地平面之上的介质高度。

使用两个差分对时，请参考下面的指南：

- 确定 $D > 2S$ ，以减小两个差分对之间的串扰。
- 为减小反射噪声，差分走线离开器件时，使差分走线 $S = 3H$ 。
- 在整条走线上，保持差分走线之间的距离(S)不变。
- 保持两条差分走线的长度相同，以降低偏移和相差。
- 避免使用多个过孔，这些过孔会导致阻抗不匹配和电感。

匹配方法

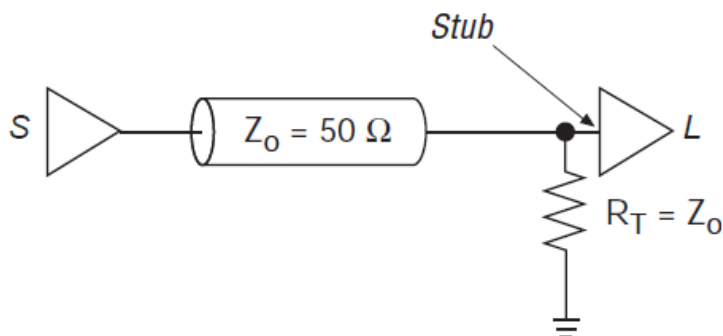
阻抗不匹配会导致信号在传输线上来回反射，使负载接收器出现振铃。振铃降低了接收器的动态范围，导致错误的触发。为消除反射，源阻抗(Z_S)必须等于走线阻抗(Z_0)，以及负载阻抗(Z_L)。Stratix 器件支持片内电阻匹配。这一部分讨论以下信号匹配方法：

- 简单并行匹配
- 戴维南并行匹配
- 主动并行匹配
- 串联 RC 并行匹配
- 串联匹配
- 差分对匹配
- 片内匹配

简单并行匹配

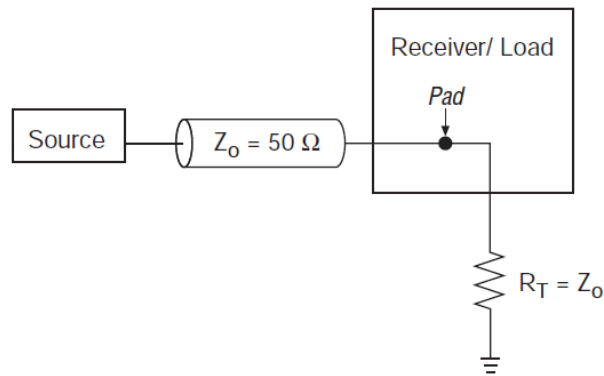
在简单并行匹配方法中，匹配电阻(R_T)等于传输线阻抗。匹配电阻尽可能靠近负载放置，以提高效率。请参考图 22。

图 22. 简单并行匹配



R_T 到接收器引脚和焊盘的短截线长度应尽可能短。较长的短截线会带来接收器焊盘反射，导致信号劣化。如果您的设计在匹配终端和接收器之间需要较长的匹配线，那么，电阻的放置会非常重要。对于较长的匹配线，使用飞越匹配(参见图 23)。

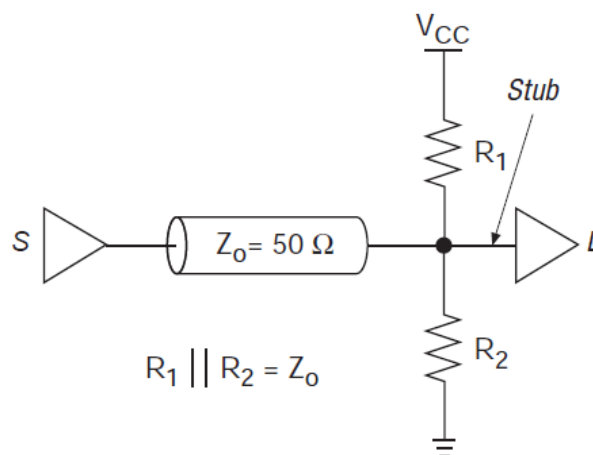
图 23. 简单并行飞越匹配



戴维南并行匹配

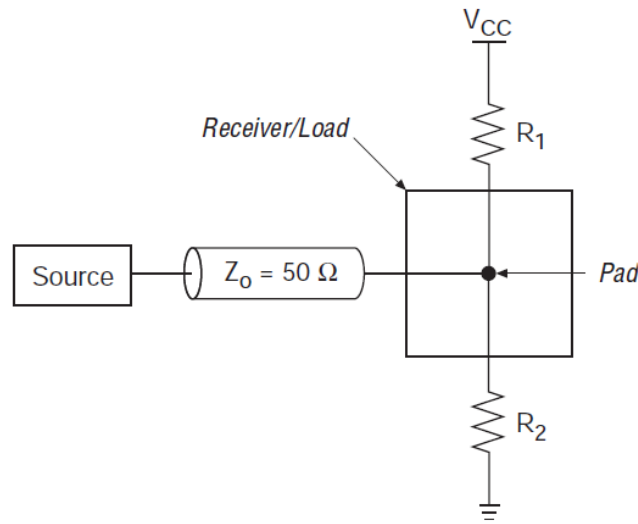
另一并行匹配方法使用戴维南电压分配器(参见图 24)。匹配电阻在 R_1 和 R_2 之间分开，两个电阻连起来的阻抗等于传输线阻抗。这一方法虽然降低了源器件的电流吸收，但是，由于电阻连接在 V_{CC} 和 GND 之间，因此，增大了电源的电流吸收。

图 24. 戴维南匹配



如前所述，短截线长度取决于信号上升和下降时间，应尽可能短。如果您的设计在匹配终端和接收器之间需要较长的匹配线，那么，使用飞越匹配或者戴维南飞越匹配。请参考图 23 和图 25。

图 25.戴维南飞越匹配



主动并行匹配

图 26 显示了主动并行匹配方法，匹配电阻($R_T = Z_0$)连接至偏置电压(V_{BIAS})。在这一方法中，选择电压使得输出驱动器能够从高电平和低电平信号吸收电流。但是，这一方法需要单独的电压源，吸收和源出电流，以匹配输出传递比。

图 26.主动并行匹配

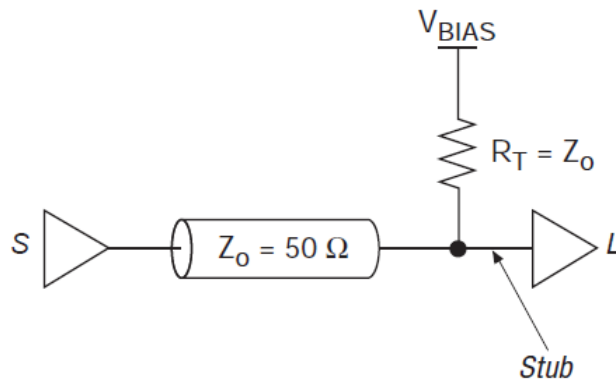
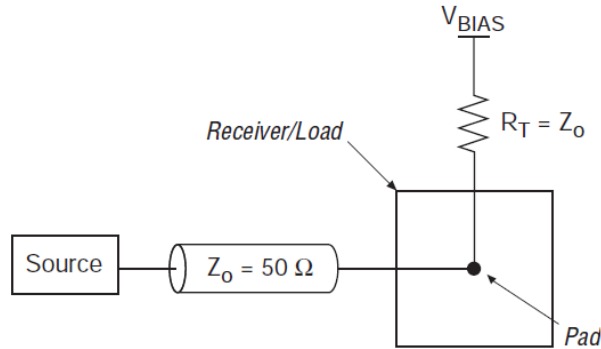


图 27 显示了主动并行飞越匹配方法。

图 27. 主动并行飞越匹配



串联 RC 并行匹配

串联 RC 并行匹配方法使用电阻和电容(即, 串联 RC)网络作为匹配阻抗。匹配电阻(R_T)等于 Z_0 。电容必须足够大, 以滤除直流恒流分量。但是, 如果电容太大, 信号延时会大于设计阈值。

小于 100 pF 的电容会减小匹配效果。电容滤除低频信号, 通过高频信号。由于没有连接至地的直流通路, 因此, R_T 直流负载效应并不影响驱动器。串联 RC 匹配方法需要平衡直流信号(例如, 信号一半时间接通, 一半时间关断)。交流匹配通常用于多个负载的情况。请参考图 28。

图 28. 串联 RC 并行匹配

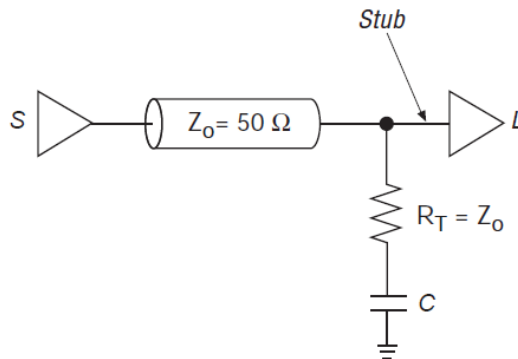
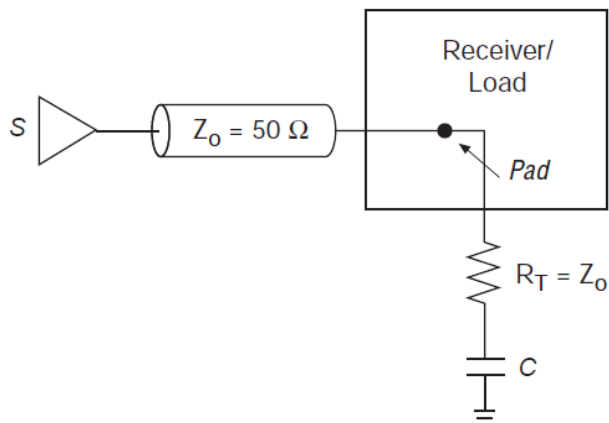


图 29 显示了串联 RC 并行飞越匹配。

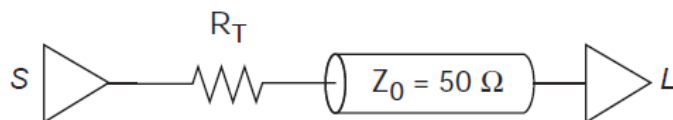
图 29. 串联 RC 并行飞越匹配



串联匹配

在串联匹配方法中，电阻匹配信号源阻抗，而不是每一负载的阻抗(参见图 30)。 R_T 和输出驱动阻抗之和应等于 Z_0 。由于 Altera 器件输出阻抗较低，因此，您应该增加一个串联电阻以匹配信号源和传输线阻抗。串联匹配的优点在于功耗较低。但是，缺点是 RC 时间常数较大，劣化了上升时间。因此，对于高速设计，在采用串联匹配方法之前，您应该通过 Altera 输入/输出缓冲信息规范 (IBIS) 模型，进行预布板信号完整性仿真。

图 30. 串联匹配



差分对匹配

差分信号 I/O 标准在接收器件信号之间需要一个匹配电阻(参见图 31)。对于 LVDS 和 LVPECL 标准，匹配电阻应匹配总线的差分负载阻抗(例如，典型值为 100Ω)。Altera Stratix、Stratix GX 和 Mercury™ 器件提供片内匹配选择。使用片内匹配减小了电路板面积。如果需要了解详细信息，请参考第 25 页的“Stratix GX 收发器片内匹配”。

图 31.差分对(LVDS & LVPECL)匹配

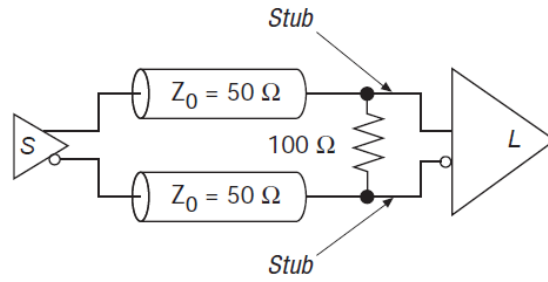
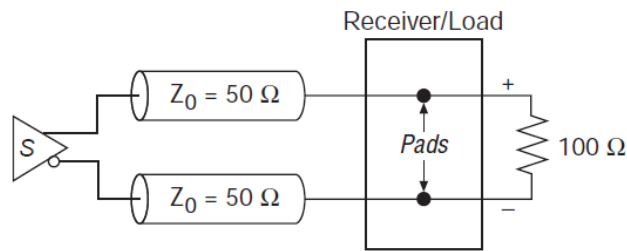


图 32 显示了 LVDS 和 LVPECL 标准的差分对飞越匹配方法。

图 32.差分对(LVDS & LVPECL)飞越匹配



3.3-V PCML 在发射器使用两个并联 100-Ω 匹配电阻，在接收器使用两个并联 50-Ω 匹配电阻(参见图 33)。匹配电压(V_T)与 V_{CCIO} 电压相同(3.3 V)。

图 33.差分对(3.3-V PCML)匹配

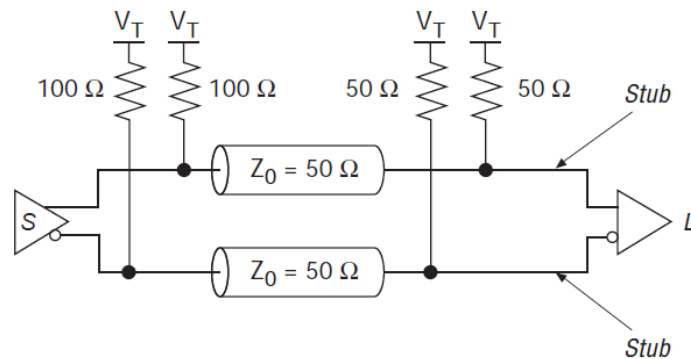
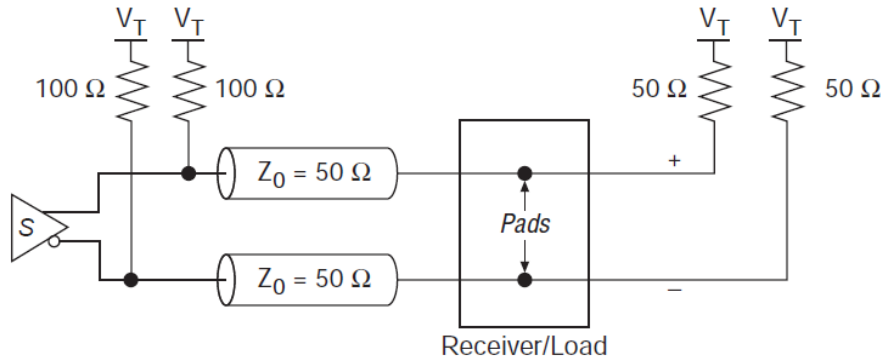


图 34 显示了 3.3-V PCML 的差分对飞越匹配方法。

图 34. 差分对(3.3-V PCML)飞越匹配



请参考 *LVDS 系统电路板设计指南白皮书*，了解匹配差分信号的详细信息。请参考 *AN 209: 在 Stratix & Stratix GX 器件中使用匹配技术*，了解 Stratix 和 Stratix GX 片内匹配的详细信息。

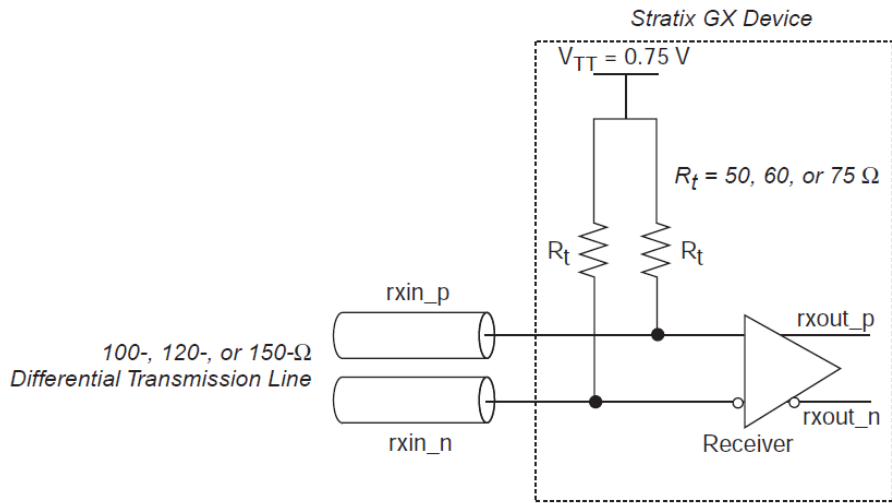
Stratix GX 收发器片内匹配

Stratix GX 器件还具有片内电阻，设计支持多种 I/O 标准的匹配。片内电阻释放了电路板空间，您可以更自由的进行信号布线，从而简化了电路板设计工作。而且，由于电阻到信号引脚的距离减小了，所以，片内电阻降低了短截线反射。因此，Stratix GX 器件提供更好的负载和源匹配，从而提高了信号完整性。

Stratix GX 器件中的所有收发器每个通道都有可设置内部匹配电阻，可以设置为 50、60 或者 75-Ω 单端电阻。在差分模式下，电阻产生 100、120 或者 150-Ω 匹配。图 35 和图 36 显示了 Stratix GX 器件的接收器和发射器片内匹配方法。

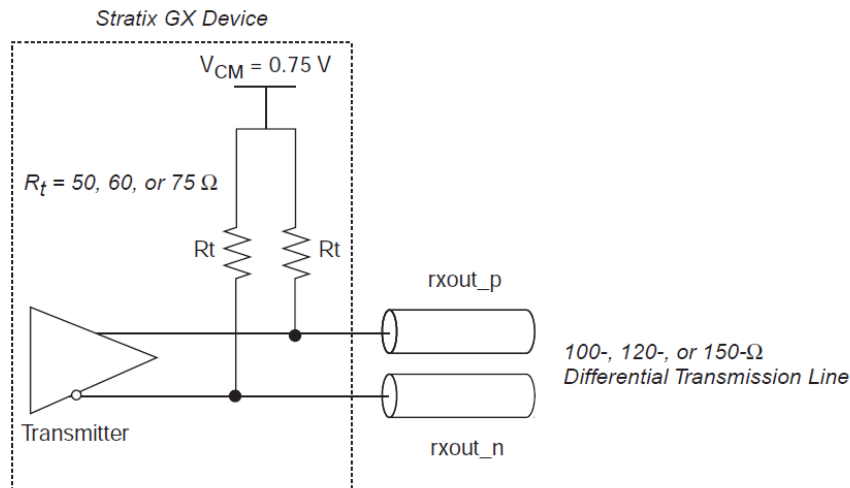
不同的 I/O 标准需要不同的匹配电阻，因此，可设置内部匹配电阻会有很大的帮助。例如，XAUI 和 Infiniband 应用需要 100-Ω 差分匹配，而千兆以太网和光纤通道需要 150-Ω 差分匹配。

图 35. Stratix GX 器件接收片内匹配方法



您可以旁路接收器中的片内电阻，使用外部电阻。

图 36. Stratix GX 器件发射片内匹配方法



对于 Stratix GX 器件中的非收发器 I/O 引脚，匹配方法与 Stratix 器件的相同。关于 Stratix 和 Stratix GX 器件设计匹配方法的详细信息，请参考 AN 209：在 Stratix & Stratix GX 器件中使用匹配技术。

同时开关噪声(SSN) 同步开关噪声

数字器件速度越来越快，输出开关时间减小，当器件对负载电容放电时，导致输出产生较大的瞬变电流。这些大瞬变电流带来了电路板级现象，即，地反弹。

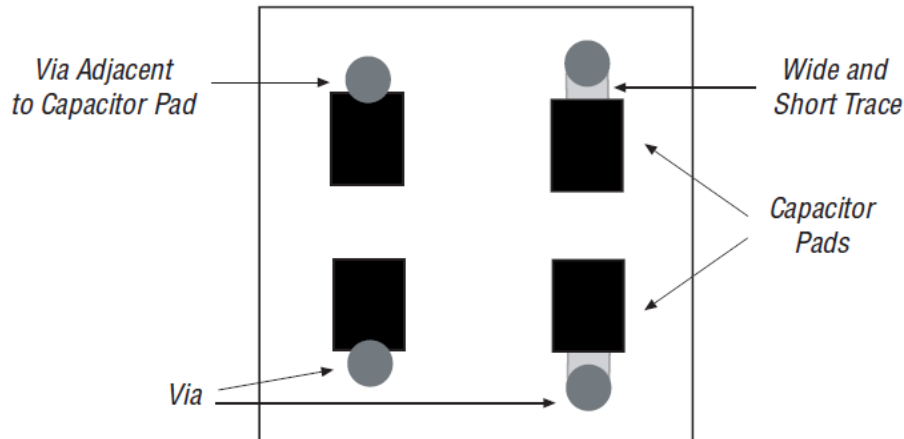
很多因素对地反弹都有影响，因此，不能使用标准测试方法来预测它在所有 PCB 环境下的幅度。您只能在一定条件下测试器件，确定每一条件以及器件本身的相对贡献。负载电容、插座电感和开关输出数量是影响 FPGA 地反弹幅度的主要因素。

Altera 需要并联的 0.01 至 0.1- μF 表面贴电容来减小地反弹。与这些电容并联另一个 0.001- μF 电容，滤除高频噪声(>100 MHz)。

Altera 建议您按照以下步骤来减小地反弹和 V_{CC} 下陷：

- 将未使用的 I/O 引脚配置为输出引脚，输出被驱动为低电平，以减小地反弹。这一配置将起到虚拟地的作用。
- 将未使用的 I/O 引脚配置为输出，驱动为高电平，以防止 V_{CC} 下陷。
- 靠近开关引脚建立可编程地或者 V_{CC} 。
- 减少同时开关的输出数量，将它们均匀分布在整个器件中。
- 手动分配 I/O 引脚之间的地引脚。(分开 I/O 引脚和地引脚能够防止地反弹)。
- 当速度并不重要时，打开慢摆率逻辑选项。
- 尽可能不要使用插座。
- 根据问题所在，将开关输出移到靠近封装地或者 V_{CC} 引脚。避免使用上拉电阻，或者使用下拉电阻。
- 使用 V_{CC} 和地平面分开的多层 PCB，以利用 GND- V_{CC} 平面固有的电容。
- 开发不会受到瞬时开关引脚影响的同步设计。
- 在 V_{CC} /GND 引脚上加入推荐的去耦合电容。
- 去耦合电容尽可能靠近器件电源和地引脚放置。
- 采用较大的过孔连接电容焊盘和电源以及地平面，以减小去耦合电容的电感，支持较大的电流。
- 过孔和电容焊盘之间使用宽而且短的走线，或者将过孔靠近电容焊盘放置(参见图 37)。

图 37. 建议的连接电容焊盘的过孔位置



- 从电源引脚延伸至电源平面(或者“岛”，或者去耦合电容)的走线应尽可能宽，尽可能短。这降低了串联电感，从而减小了电源平面到电源引脚的瞬时电压降。因此，降低了地反弹的可能性。
- 使用表面贴低等效串联电阻(ESR)电容，以减小引线电感。电容的 ESR 值应尽可能小。
- 将每个地引脚或者过孔单独连接至地平面。连接至地引脚的菊花链共享地通路，增加了返回电流回路，增大了电感。

请参考[减小地反弹和 V_{CC} 下陷白皮书](#)，了解地反弹和 V_{CC} 下陷的详细信息。

电源滤波和分配

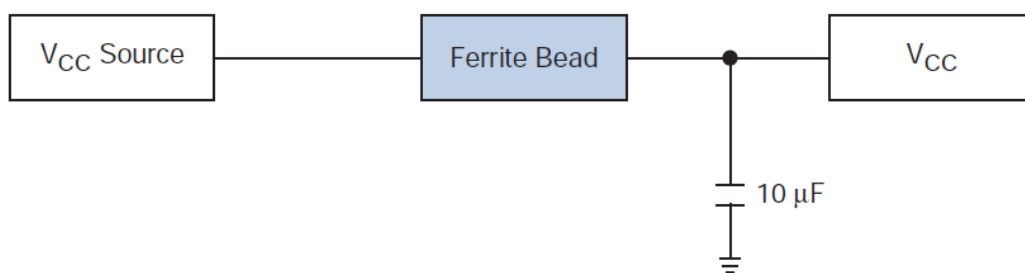
您可以为所有电路板和器件的 V_{CC} 提供均匀分配的洁净电源，从而降低系统噪声。这一部分介绍电源分配和滤波方法。

滤除噪声

为降低电源引起的低频(< 1 kHz)噪声，需要滤除电源与 PCB 以及每一器件连接点的电源噪声。在电源线进入 PCB 的地方放置一个 100- μ F 电解电容。如果您使用电压稳压器，在为器件提供 V_{CC} 信号的引脚之后立即放置一个电容。(电容不仅能够滤除电源的低频噪声，而且当电路中很多输出同时开关时，还提供额外的电流)。

为滤除电源噪声，使用一个非谐振表面贴铁氧体磁环，其取值足够大，能够处理电源串联电流。靠近铁氧体磁环放置一个 10 至 100- μF 旁路电容(参见图 38)。(如果进行了恰当的匹配、布板和滤波，消除了大部分噪声，那么，可以不必使用铁氧体磁环)。铁氧体磁环用于短路来自 V_{CC} 源的高频噪声。铁氧体磁环之后的 10- μF 大电容滤除低频噪声。

图 38.采用铁氧体磁环滤除噪声



PCB 上的器件通常会增大电源平面的高频噪声。为滤除器件高频噪声，尽可能靠近每一对 V_{CC} 和 GND 放置去耦合电容。

请参考 *Altera 器件工作要求数据资料*，了解旁路电容的详细信息。

电源分配

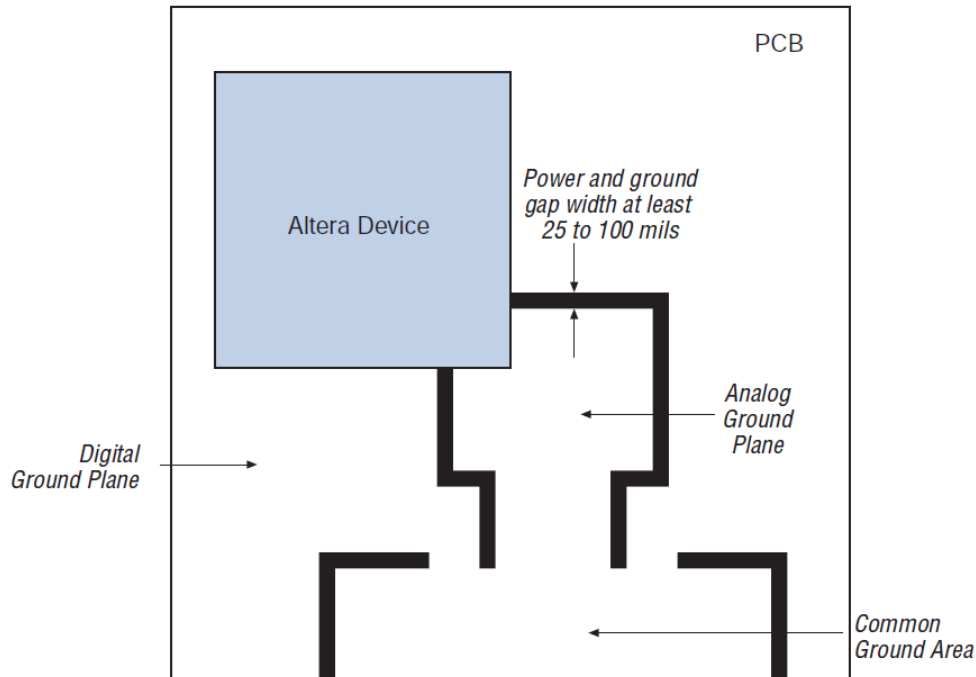
系统可以通过电源平面或者电源总线网络在 PCB 上分配电源。

您可以使用多层 PCB 上的电源平面，这种 PCB 含有两个或者多个为器件提供 V_{CC} 和 GND 的金属层。电源平面覆盖了整个 PCB，因此，其直流电阻非常小。电源平面维持 V_{CC} 不变，将其均匀的分配给所有器件，同时为 PCB 上的逻辑信号提供非常强的电流吸收、噪声保护和屏蔽功能。Altera 建议使用电源平面来分配电源。

电源总线网络含有两个或者多个金属宽走线，将 V_{CC} 和 GND 连接至器件，通常用在两层 PCB 上，成本低于电源平面。设计电源总线网络时，走线应尽可能宽。使用电源总线网络的主要缺点是较大的直流电阻。

Altera 建议使用分开的模拟和数字电源平面。对于没有独立模拟电源平面的全数字系统，增加新电源平面的成本较高。但是，您可以建立分区“岛”(分离平面)。图 39 显示的电路板布板实例中，采用了锁相环(PLL)地“岛”。

图 39.通用 PLL 地“岛”电路板布板



如果您的系统模拟和数字电源共用相同的平面，那么，两种电路类型之间可能会相互影响。下面的建议有助于减小噪声：

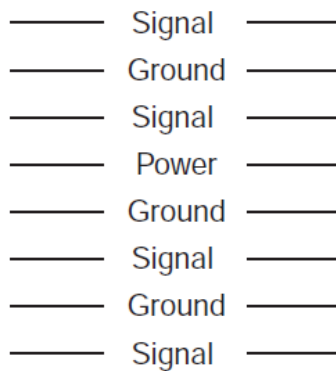
- 对于相同的电源分配，模拟(PLL)电源使用单独的电源平面。避免使用走线或者多个信号层对 PLL 电源进行布线。
- 使用靠近 PLL 电源平面的地平面，以降低电源产生的噪声。
- 模拟和数字元件只放在各自的地平面之上。
- 使用铁氧体磁环来隔离 PLL 电源和数字电源。

EMI

电磁干扰(EMI)与电流或者电压随时间的变化成正比。EMI 还直接与电路串联电感成正比。每一 PCB 都会产生 EMI。谨慎的处理串扰，正确的接地，以及合适的电路板叠层能够显著减小 EMI 问题。

在地平面和电源平面之间放置每一信号层。电感直接与源电荷到地电荷之间的距离成正比。距离越短，电感也越小。因此，地平面靠近信号源能够减小电感，有助于控制 EMI。图 40 是一个 8 叠层的例子。在叠层中，带状线信号层处于电源和 GND 平面中间，因此，是最“安静”的。靠近电源平面的可靠地平面实现了一组低 ESR 电容。随着 IC 边沿速率的增大，这些方法有助于控制 EMI。

图 40.8 叠层的例子



元件选择以及正确的电路板布局对于控制 EMI 非常重要。
下面的建议有助于减小 EMI:

- 选择低电感元件，例如，低 ESR 和低等效串联电感(ESL)的表面贴电容。
- 使用正确的接地，实现最短的电流回路。
- 靠近电源平面使用可靠的地平面。
- 在不可避免的环境中，对于模拟和数字电路，靠近每段电源平面分别布置地平面。

其他 FPGA 信息

这一部分介绍 Altera 为电路板设计和信号完整性所推荐的其他 FPGA 配置、联合测试行动组(JTAG)和测试点信息。

配置

DCLK 信号用于配置器件和被动串行(PS)以及被动并行同步(PPS)配置方法。这一信号驱动 Altera 器件的边沿触发引脚。因此,任何上冲、下冲、振铃、串扰或者其他噪声都会影响配置。使用相同的指南来设计时钟信号,对 DCLK 走线进行布线(请参考第 13 页的“信号走线布线”)。如果您的设计使用的配置器件多于 5 个,Altera 建议使用缓冲将 DCLK 信号上的扇出分开。

JTAG

PCB 越来越复杂,因此,测试也越来越重要。表面封装以及 PCB 制造技术的进步使得电路板越来越小,很难采用外部测试探头和“针床”测试装置。结果,在 PCB 面积上节省的成本被传统测试方法抵消了。

除了边界扫描测试(BST),您还可以使用 IEEE Std 1149.1 控制器进行在系统编程。JTAG 含有四条必须的引脚,测试数据输入(TDI)、测试数据输出(TDO)、测试模式选择(TMS)和测试时钟输入(TCK),以及可选的测试复位输入(TRST)引脚。

布置时钟信号对 TCK 走线进行布线时,可以使用相同的指南。较长的 JTAG 扫描链使用多个器件。减小连接一个器件 TDO 引脚与另一器件 TDI 引脚的 JTAG 扫描链走线长度,以降低延时。

请参考 *AN 39: Altera 器件中的 IEEE 1149.1 (JTAG)边界扫描测试*,了解 BST 的详细信息。

测试点

随着器件封装引脚密度的提高,很难在器件引脚上连接示波器或者逻辑分析仪探头。在器件引脚上直接使用物理探头会损害器件。如果球栅阵列(BGA)或者 FineLine BGA®封装安装在电路板顶层,那么,会很难探测到电路板的另一侧。因此,PCB 必须提供固定的测试点用于探测。测试点可以是连接待测信号的过孔,它具有很短的短截线。但是,在待测信号走线上布置过孔会导致反射,降低信号完整性。

请参考 *AN 175: Quartus II 软件中的 SignalTap 分析*,了解 SignalTap®嵌入式逻辑分析仪的详细信息。

总结

您必须仔细规划才能实现成功的高速 PCB。噪声产生、信号反射、串扰以及地反弹等因素会干扰信号，特别是 Altera 高速发射和接收器件。本应用笔记中讨论的信号布线、匹配方法以及电源分配技术有助于您使用高速 Altera 器件设计更高效的 PCB。

参考

- Johnson, H. W., and & Graham, M., "*High-Speed Digital Design.*" Prentice Hall, 1993.
- Hall, S. H., Hall, G. W., and McCall J. A., "*High-Speed Digital System Design.*" John Wiley & Sons, Inc. 2000.

修订历史

- AN 224: 高速电路板布板指南 1.2 版中的信息取代了以前版本中的信息。
- AN 224: 高速电路板布板指南 1.2 版进行了以下修改：链接固定为 *LVDS 系统电路板设计指南白皮书*。
- AN 224: 高速电路板布板指南 1.1 版进行了以下修改：更新了图 4 的题注。