

## 超强 PCB 布线设计经验谈附原理图(一)

在当今激烈竞争的电池供电市场中，由于成本指标限制，设计人员常常使用双面板。尽管多层板(4层、6层及8层)方案在尺寸、噪声和性能方面具有明显优势，成本压力却促使工程师们重新考虑其布线策略，采用双面板。在本文中，我们将讨论自动布线功能的正确使用和错误使用，有无地平面时电流回路的设计策略，以及对双面板元件布局的建议。

### 自动布线的优缺点以及模拟电路布线的注意事项

设计 PCB 时，往往很想使用自动布线。通常，纯数字的电路板(尤其信号电平比较低，电路密度比较小时)采用自动布线是没有问题的。但是，在设计模拟、混合信号或高速电路板时，如果采用布线软件的自动布线工具，可能会出现一些问题，甚至很可能带来严重的电路性能问题。

例如，图 1 中显示了一个采用自动布线设计的双面板的顶层。此双面板的底层如图 2 所示，这些布线层的电路原理图如图 3a 和图 3b 所示。设计此混合信号电路板时，经仔细考虑，将器件手工放在板上，以便将数字和模拟器件分开放置。

采用这种布线方案时，有几个方面需要注意，但最麻烦的是接地。如果在顶层布地线，则顶层的器件都通过走线接地。器件还在底层接地，顶层和底层的地线通过电路板最右侧的过孔连接。当检查这种布线策略时，首先发现的弊端是存在多个地环路。另外，还会发现底层的地线返回路径

被水平信号线隔断了。这种接地方案的可取之处是，模拟器件(12 位 A/D 转换器 MCP3202 和 2.5V 参考电压源 MCP4125)放在电路板的最右侧，这种布局确保了这些模拟芯片下面不会有数字地信号经过。

图 3a 和图 3b 所示电路的手工布线如图 4、图 5 所示。在手工布线时，为确保正确实现电路，需要遵循一些通用的设计准则：尽量采用地平面作为电流回路；将模拟地平面和数字地平面分开；如果地平面被信号走线隔断，为降低对地电流回路的干扰，应使信号走线与地平面垂直；模拟电路尽量靠近电路板边缘放置，数字电路尽量靠近电源连接端放置，这样做可以降低由数字开关引起的  $di/dt$  效应。

这两种双面板都在底层布有地平面，这种做法是为了方便工程师解决问题，使其可快速明了电路板的布线。厂商的演示板和评估板通常采用这种布线策略。但是，更为普遍的做法是将地平面布在电路板顶层，以降低电磁干扰。

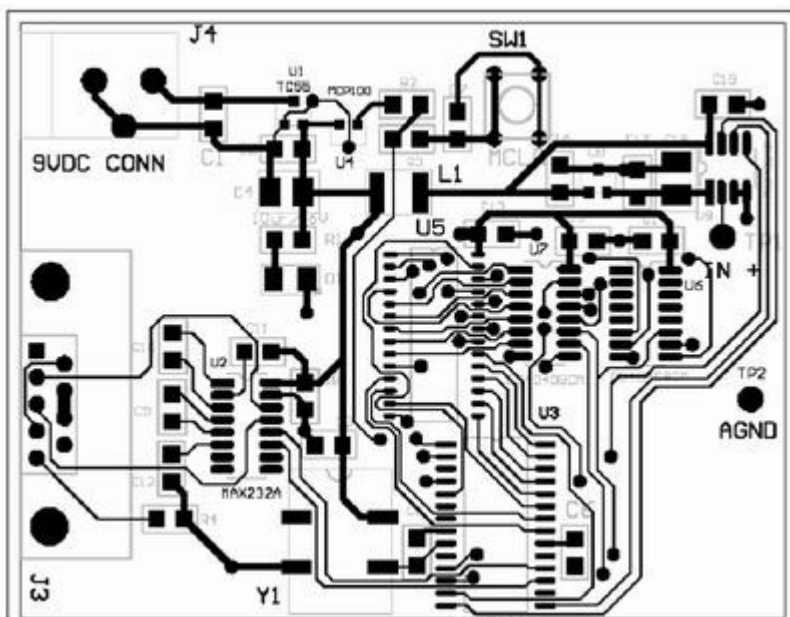


图 1 采用自动布线为图 3 所示电路原理图设计的电路板的顶层

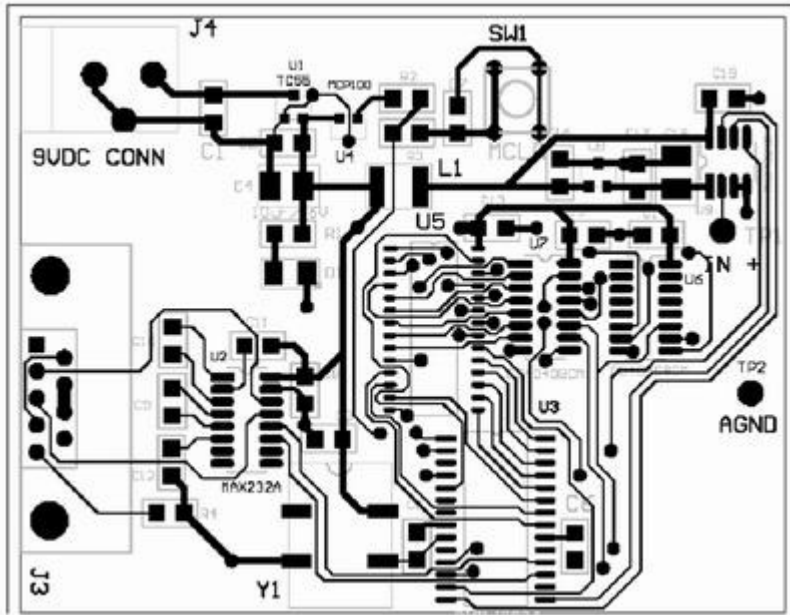


图 2 采用自动布线为图 3 所示电路原理图设计的电路板的底层

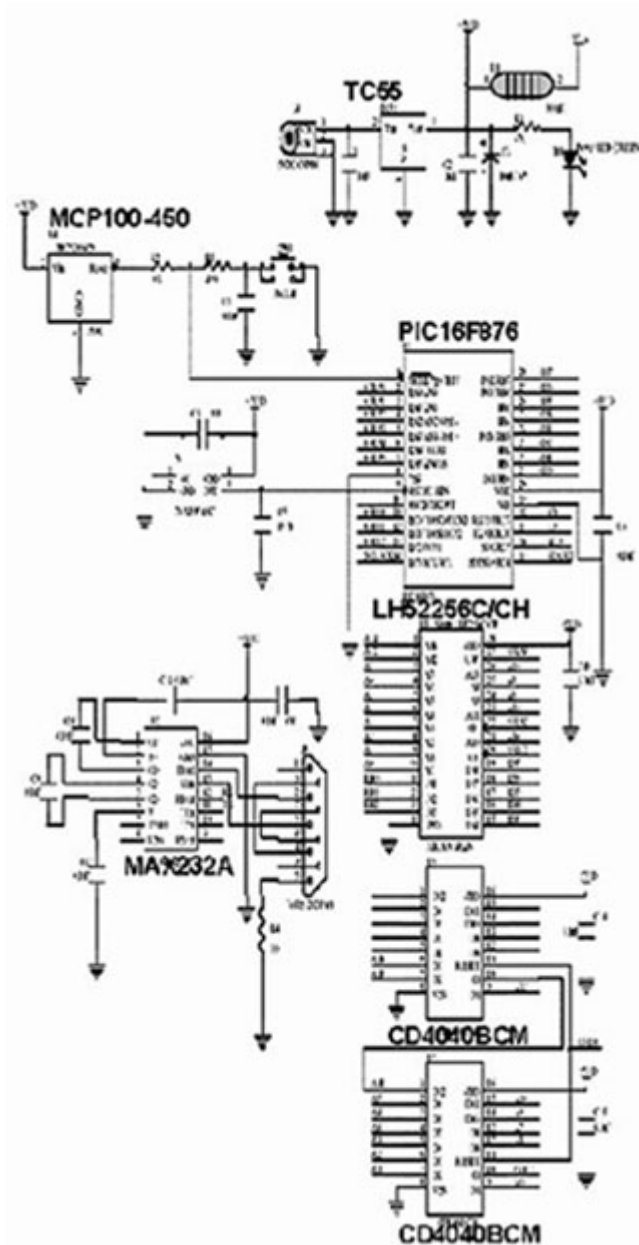


图 3a 图 1、图 2、图 4 和图 5 中布线的电路原理图

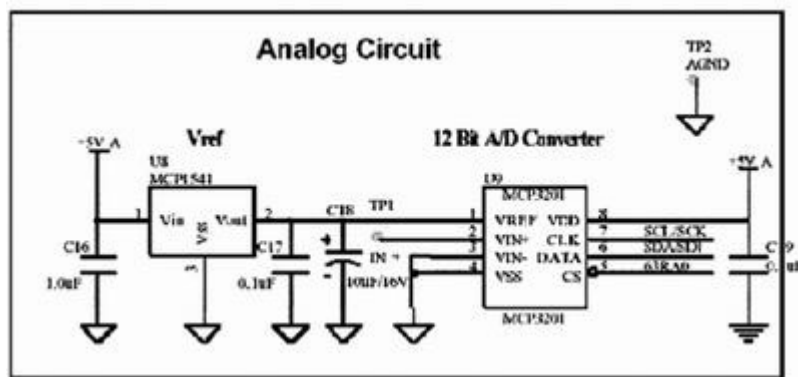


图 3b 图 1、图 2、图 4 和图 5 中布线的模拟部分电路原理图

## 有无地平面时的电流回路设计

对于电流回路，需要注意如下基本事项：

### 1. 如果使用走线，应将其尽量加粗

PCB 上的接地连接如要考虑走线时，设计应将走线尽量加粗。这是一个好的经验法则，但要知道，接地线的最小宽度是从此点到末端的有效宽度，此处“末端”指距离电源连接端最远的点。

### 2. 应避免地环路

### 3. 如果不能采用地平面，应采用星形连接策略(见图 6)

通过这种方法，地电流独立返回电源连接端。图 6 中，注意到并非所有器件都有自己的回路，U1 和 U2 是共用回路的。如遵循以下第 4 条和第 5 条准则，是可以这样做的。

### 4. 数字电流不应流经模拟器件

数字器件开关时，回路中的数字电流相当大，但只是瞬时的，这种现象是由地线的有效感抗和阻抗引起的。对于地平面或接地走线的感抗部分，计算公式为  $V = L di/dt$ ，其中  $V$  是产生的电压， $L$  是地平面或接地走线的感抗， $di$  是数字器件的电流变化， $dt$  是持续时间。对地线阻抗部分的影响，其计算公式为  $V = RI$ ，其中， $V$  是产生的电压， $R$  是地平面或接地走线的阻抗， $I$  是由数字器件引起的电流变化。经过模拟器件的地平面或

接地走线上的这些电压变化，将改变信号链中信号和地之间的关系(即信号的对地电压)。

### 5. 高速电流不应流经低速器件

与上述类似，高速电路的地返回信号也会造成地平面的电压发生变化。此干扰的计算公式和上述相同，对于地平面或接地走线的感抗， $V = Ldi/dt$ ；对于地平面或接地走线的阻抗， $V = RI$ 。与数字电流一样，高速电路的地平面或接地走线经过模拟器件时，地线上的电压变化会改变信号链中信号和地之间的关系。

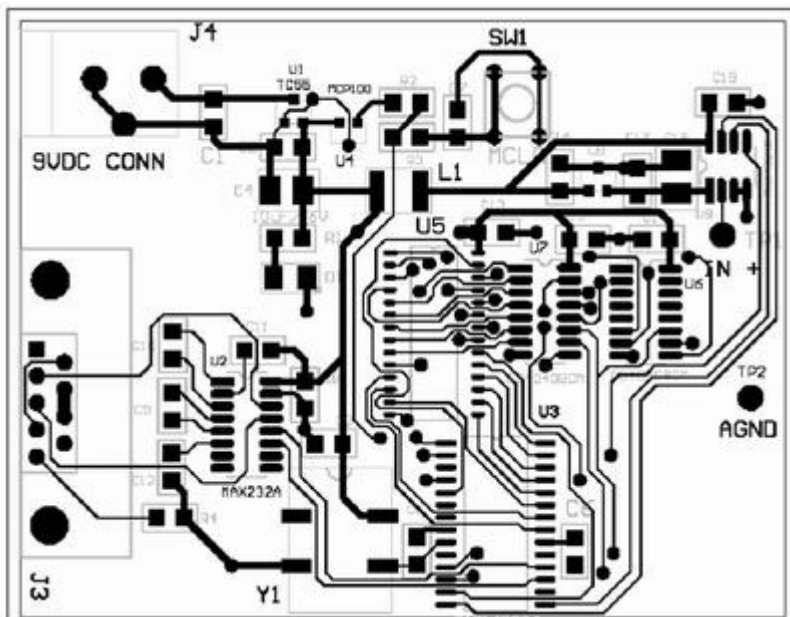


图 4 采用手工走线为图 3 所示电路原理图设计的电路板的顶层

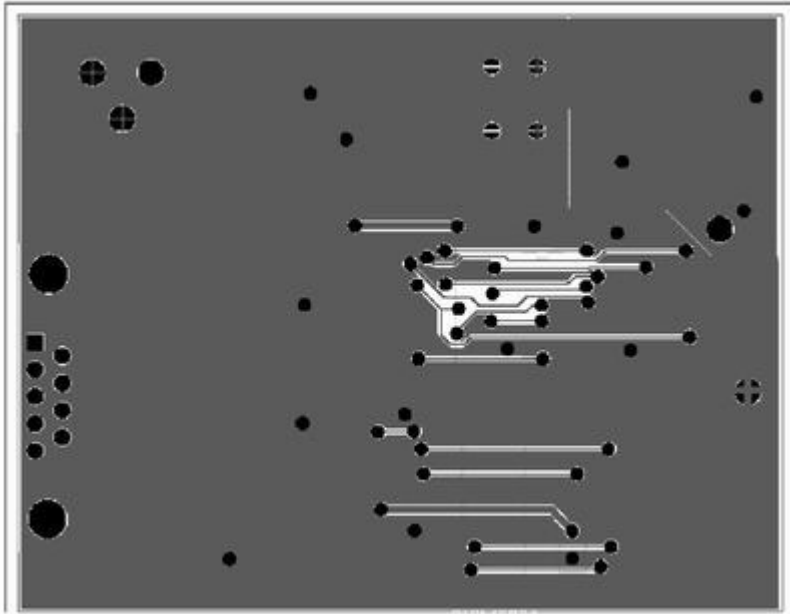


图 5 采用手工走线为图 3 所示电路原理图设计的电路板的底层

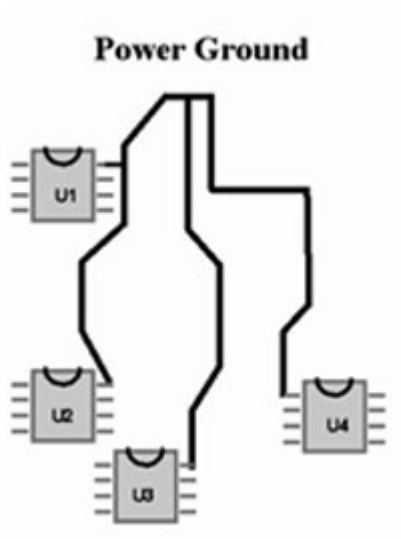


图 6 如果不能采用地平线，可以采用“星形”布线策略来处理电流回路

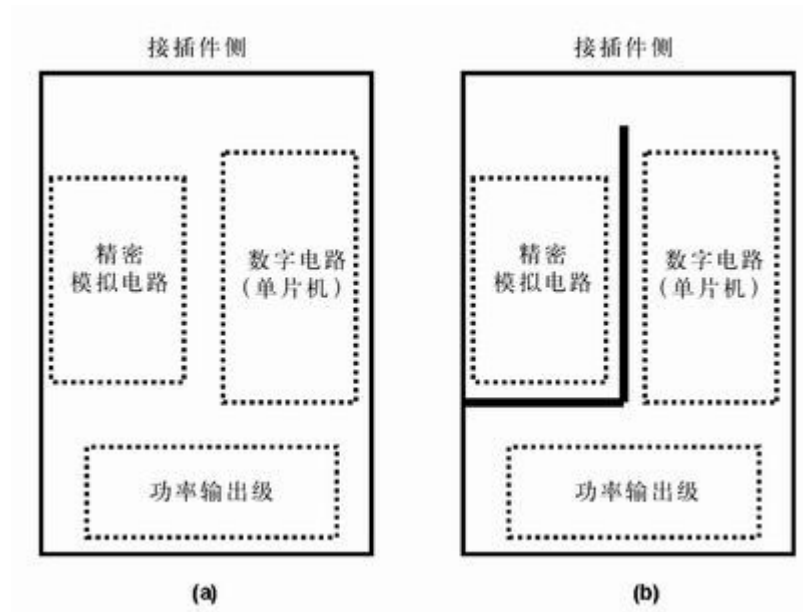


图 7 分隔开的地平面有时比连续的地平面有效,图 b)接地布线策略比图 a)的接地策略理想

6. 不管使用何种技术, 接地回路必须设计为最小阻抗和容抗
7. 如使用地平面, 分隔开地平面可能改善或降低电路性能, 因此要谨慎使用

分开模拟和数字地平面的有效方法如图 7 所示

图 7 中, 精密模拟电路更靠近接插件, 但是与数字网络和电源电路的开关电流隔离开了。这是分隔开接地回路的非常有效的方法, 我们在前面讨论的图 4 和图 5 的布线也采用了这种技术。

### 超强 PCB 布线设计经验谈附原理图(二)

工程领域中的数字设计人员和数字电路板设计专家在不断增加, 这反映了行业的发展趋势。尽管对数字设计的重视带来了电子产品的重大发展, 但



仍然存在，而且还会一直存在一部分与模拟或现实环境接口的电路设计。模拟和数字领域的布线策略有一些类似之处，但要获得更好的结果时，由于其布线策略不同，简单电路布线设计就不再是最优方案了。本文就旁路电容、电源、地线设计、电压误差和由 PCB 布线引起的电磁干扰(EMI)等几个方面，讨论模拟和数字布线的基本相似之处及差别。

模拟和数字布线策略的相似之处

### 旁路或去耦电容

在布线时，模拟器件和数字器件都需要这些类型的电容，都需要靠近其电源引脚连接一个电容，此电容值通常为 0.1mF。系统供电电源侧需要另一类电容，通常此电容值大约为 10mF。

这些电容的位置如图 1 所示。电容取值范围为推荐值的 1/10 至 10 倍之间。但引脚须较短，且要尽量靠近器件(对于 0.1mF 电容)或供电电源(对于 10mF 电容)。

在电路板上加旁路或去耦电容，以及这些电容在板上的位置，对于数字和模拟设计来说都属于常识。但有趣的是，其原因却有所不同。在模拟布线设计中，旁路电容通常用于旁路电源上的高频信号，如果不加旁路电容，这些高频信号可能通过电源引脚进入敏感的模拟芯片。一般来说，这些高频信号的频率超出模拟器件抑制高频信号的能力。如果在模拟电路中不使用旁路电容的话，就可能在信号路径上引入噪声，更严重的情况甚至会引起振动。

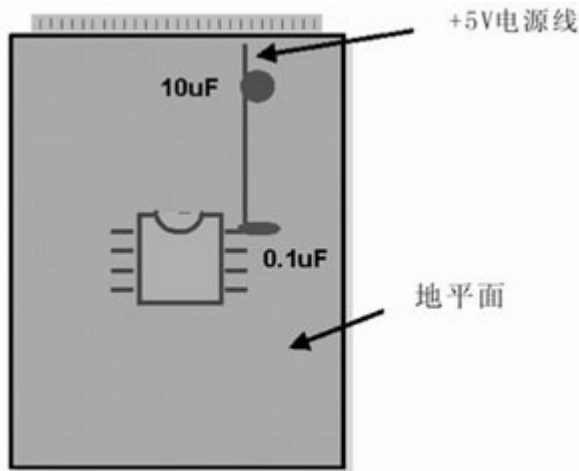


图 1 在模拟和数字 PCB 设计中，旁路或去耦电容(1mF)应尽量靠近器件放置。供电电源去耦电容(10mF)应放置在电路板的电源线入口处。所有情况下，这些电容的引脚都应较短

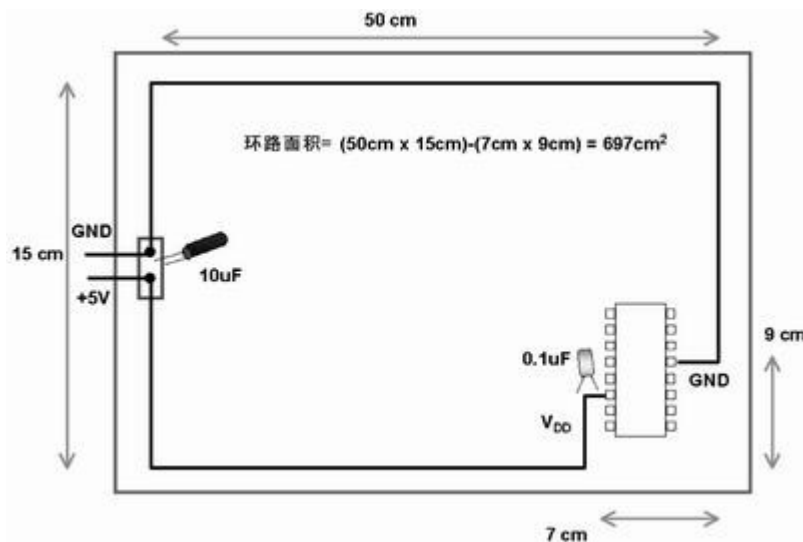


图 2 在此电路板上，使用不同的路线来布电源线和地线，由于这种不恰当的配合，电路板的电子元器件和线路受电磁干扰的可能性比较大

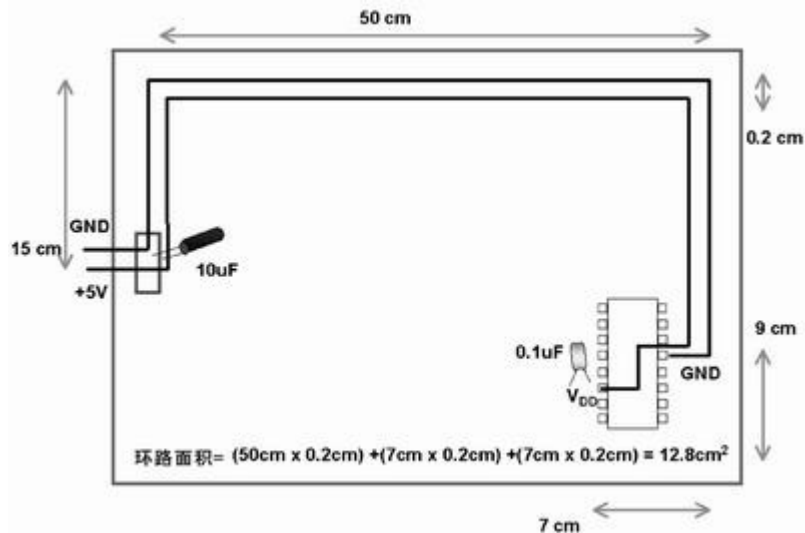


图 3 在此单面板中，到电路板上器件的电源线和地线彼此靠近。此电路板中电源线和地线的配合比图 2 中恰当。电路板中电子元器件和线路受电磁干扰(EMI)的可能性降低了 679/12.8 倍或约 54 倍

对于控制器和处理器这样的数字器件，同样需要去耦电容，但原因不同。这些电容的一个功能是用作“微型”电荷库。在数字电路中，执行门状态的切换通常需要很大的电流。由于开关时芯片上产生开关瞬态电流并流经电路板，有额外的“备用”电荷是有利的。如果执行开关动作时没有足够的电荷，会造成电源电压发生很大变化。电压变化太大，会导致数字信号电平进入不确定状态，并很可能引起数字器件中的状态机错误运行。流经电路板走线的开关电流将引起电压发生变化，电路板走线存在寄生电感，可采用如下公式计算电压的变化： $V = Ldi/dt$

其中， $V$  = 电压的变化； $L$  = 电路板走线感抗； $di$  = 流经走线的电流变化； $dt$  = 电流变化的时间。

因此，基于多种原因，在供电电源处或有源器件的电源引脚处施加旁

路(或去耦)电容是较好的做法。

电源线和地线要布在一起

电源线和地线的位置良好配合,可以降低电磁干扰的可能性。如果电源线和地线配合不当,会设计出系统环路,并很可能会产生噪声。电源线和地线配合不当的 PCB 设计示例如图 2 所示。

此电路板上,设计出的环路面积为  $697\text{cm}^2$ 。采用图 3 所示的方法,电路板上或电路板外的辐射噪声在环路中感应电压的可能性可大为降低。

模拟和数字领域布线策略的不同之处

地平面是个难题

电路板布线的基本知识既适用于模拟电路,也适用于数字电路。一个基本的经验准则是使用不间断的地平面,这一常识降低了数字电路中的  $di/dt$ (电流随时间的变化)效应,这一效应会改变地的电势并会使噪声进入模拟电路。数字和模拟电路的布线技巧基本相同,但有一点除外。对于模拟电路,还有另外一点需要注意,就是要将数字信号线和地平面中的回路尽量远离模拟电路。这一点可以通过如下做法来实现:将模拟地平面单独连接到系统地连接端,或者将模拟电路放置在电路板的最远端,也就是线路的末端。这样做是为了保持信号路径所受到的外部干扰最小。对于数字电路就不需要这样做,数字电路可容忍地平面上的大量噪声,而不会出现问题。

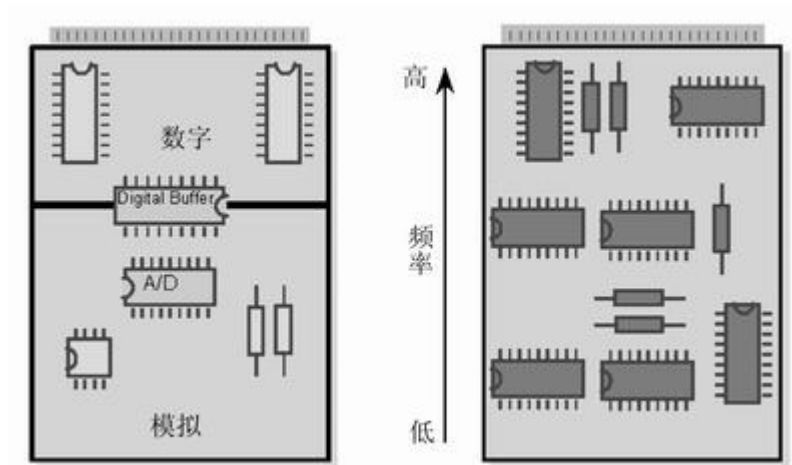


图 4 (左)将数字开关动作和模拟电路隔离,将电路的数字和模拟部分分开。

(右) 要尽可能将高频和低频分开, 高频元件要靠近电路板的接插件

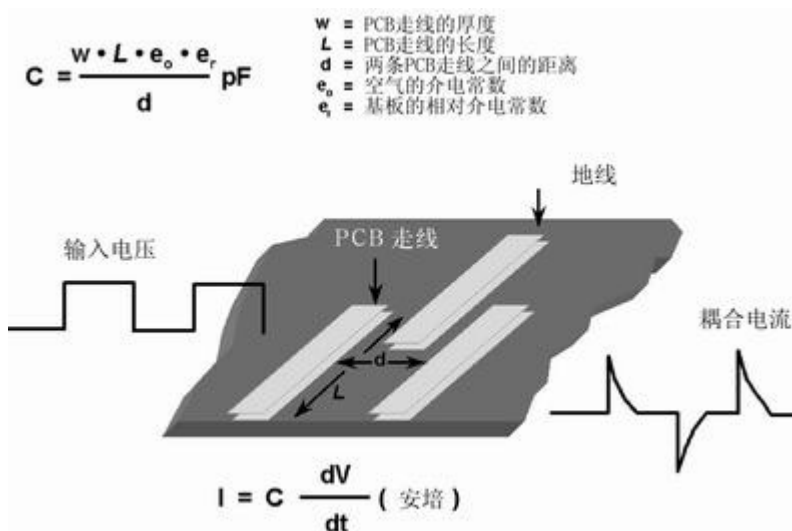


图 5 在 PCB 上布两条靠近的走线, 很容易形成寄生电容。由于这种电容的存在, 在一条走线上的快速电压变化, 可在另一条走线上产生电流信号

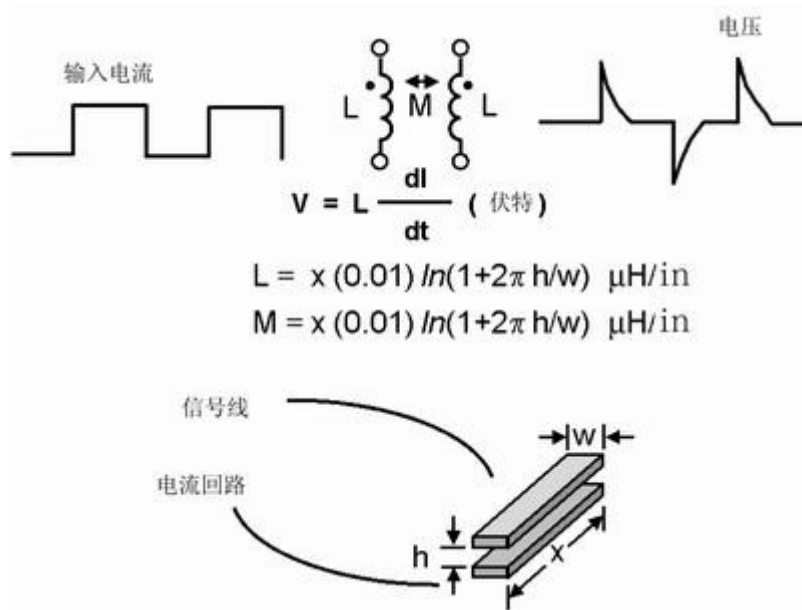


图 6 如果不注意走线的放置，PCB 中的走线可能产生线路感抗和互感。  
这种寄生电感对于包含数字开关电路的电路运行是非常有害的

### 元件的位置

如上所述，在每个 PCB 设计中，电路的噪声部分和“安静”部分(非噪声部分)要分隔开。一般来说，数字电路“富含”噪声，而且对噪声不敏感(因为数字电路有较大的电压噪声容限)；相反，模拟电路的电压噪声容限就小得多。两者之中，模拟电路对开关噪声最为敏感。在混合信号系统的布线中，这两种电路要分隔开，如图 4 所示。

### PCB 设计产生的寄生元件

PCB 设计中很容易形成可能产生问题的两种基本寄生元件：寄生电容和寄生电感。设计电路板时，放置两条彼此靠近的走线就会产生寄生电容。可以这样做：在不同的两层，将一条走线放置在另一条走线的上方；或者在同一层，将一条走线放置在另一条走线的旁边，如图 5 所示。在这两种

走线配置中，一条走线上电压随时间的变化( $dV/dt$ )可能在另一条走线上产生电流。如果另一条走线是高阻抗的，电场产生的电流将转化为电压。

快速电压瞬变最常发生在模拟信号设计的数字侧。如果发生快速电压瞬变的走线靠近高阻抗模拟走线，这种误差将严重影响模拟电路的精度。在这种环境中，模拟电路有两个不利的方面：其噪声容限比数字电路低得多；高阻抗走线比较常见。

采用下述两种技术之一可以减少这种现象。最常用的技术是根据电容的方程，改变走线之间的尺寸。要改变的最有效尺寸是两条走线之间的距离。应该注意，变量  $d$  在电容方程的分母中， $d$  增加，容抗会降低。可改变的另一个变量是两条走线的长度。在这种情况下，长度  $L$  降低，两条走线之间的容抗也会降低。

另一种技术是在这两条走线之间布地线。地线是低阻抗的，而且添加这样的另外一条走线将削弱产生干扰的电场，如图 5 所示。

电路板中寄生电感产生的原理与寄生电容形成的原理类似。也是布两条走线，在不同的两层，将一条走线放置在另一条走线的上方；或者在同一层，将一条走线放置在另一条的旁边，如图 6 所示。在这两种走线配置中，一条走线上电流随时间的变化( $dI/dt$ )，由于这条走线的感抗，会在同一条走线上产生电压；并由于互感的存在，会在另一条走线上产生成比例的电流。如果在第一条走线上的电压变化足够大，干扰可能会降低数字电路的电压容限而产生误差。并不只是在数字电路中才会发生这种现象，但

这种现象在数字电路中比较常见，因为数字电路中存在较大的瞬时开关电流。

为消除电磁干扰源的潜在噪声，最好将“安静”的模拟线路和噪声 I/O 端口分开。要设法实现低阻抗的电源和地网络，应尽量减少数字电路导线的感抗，尽量降低模拟电路的电容耦合。

结语

数字和模拟范围确定后，谨慎地布线对获得成功的 PCB 至关重要。布线策略通常作为经验准则向大家介绍，因为很难在实验室环境中测试出产品的最终成功与否。因此，尽管数字和模拟电路的布线策略存在相似之处，还是要认识到并认真对待其布线策略的差别。

### **超强 PCB 布线设计经验谈附原理图(三)**

布线需要考虑的问题很多，但是最基本的的还是要做到周密，谨慎。

寄生元件危害最大的情况

印刷电路板布线产生的主要寄生元件包括：寄生电阻、寄生电容和寄生电感。例如：PCB 的寄生电阻由元件之间的走线形成；电路板上的走线、焊盘和平行走线会产生寄生电容；寄生电感的产生途径包括环路电感、互感和过孔。当将电路原理图转化为实际的 PCB 时，所有这些寄生元件都可能对电路的有效性产生干扰。本文将对最棘手的电路板寄生元件类型——寄生电容进行量化，并提供一个可清楚看到寄生电容对电路性能影响



的示例。

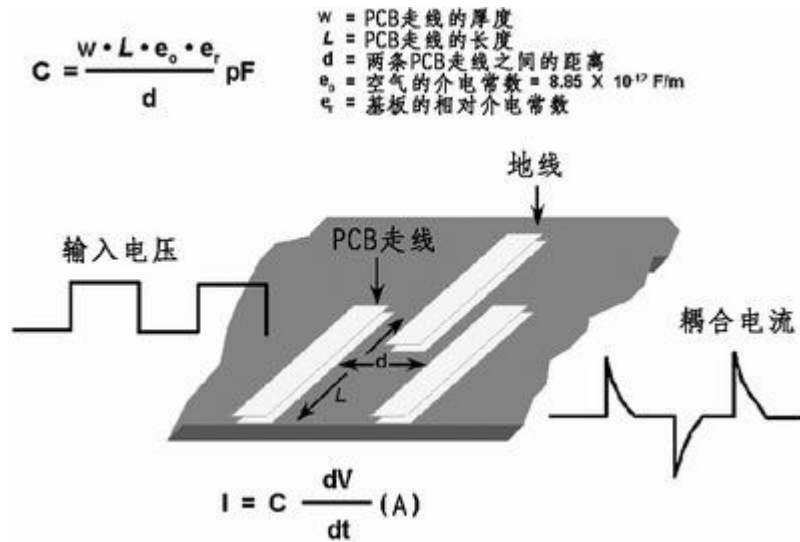


图 1 在 PCB 上布两条靠近的走线，很容易产生寄生电容。由于这种寄生电容的存在，在一条走线上的快速电压变化会在另一条走线上产生电流信号。

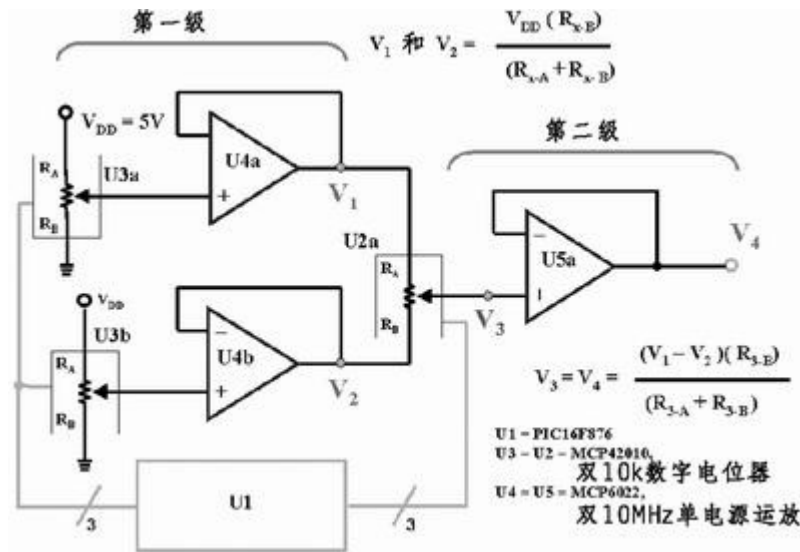


图 2 用三个 8 位数字电位器和三个放大器提供 65536 个差分输出电压，组成一个 16 位 D/A 转换器。如果系统中的 VDD 为 5V，那么此 D/A 转换器的分辨率或 LSB 大小为 76.3mV。

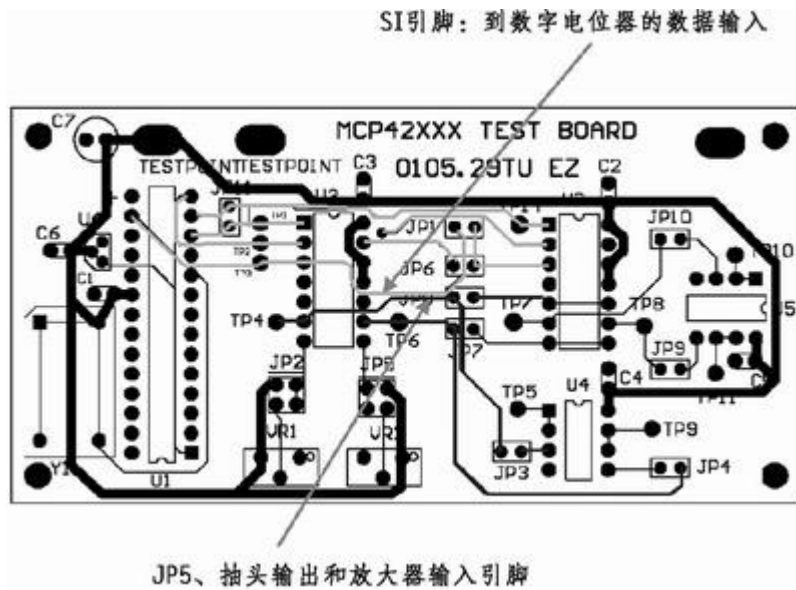


图 3 这是对图 2 所示电路的第一次布线尝试。此配置在模拟线路上产生不规律的噪声，这是因为在特定数字走线上的数据输入码随着数字电位器的编程需求而改变。

### 寄生电容的危害

大多数寄生电容都是靠近放置两条平行走线引起的。可以采用图 1 所示的公式来计算这种电容值。

在混合信号电路中，如果敏感的高阻抗模拟走线与数字走线距离较近，这种电容会产生问题。例如，图 2 中的电路就很可能存在这种问题。

为讲解图 2 所示电路的工作原理，采用三个 8 位数字电位器和三个 CMOS 运算放大器组成一个 16 位 D/A 转换器。在此图的左侧，在 VDD 和地之间跨接了两个数字电位器(U3a 和 U3b)，其抽头输出连接到两个运放(U4a 和 U4b)的正相输入端。数字电位器 U2 和 U3 通过与单片机(U1)之间的 SPI 接口编程。在此配置中，每个数字电位器配置为 8 位乘法型 D/A 转

换器。如果 VDD 为 5V，那么这些 D/A 转换器的 LSB 大小等于 19.61mV。

这两个数字电位器的抽头都分别连接到两个配置了缓冲器的运放的正相输入端。在此配置中，运放的输入端是高阻抗的，将数字电位器与电路其它部分隔离开了。这两个放大器配置为其输出摆幅限制不会超出第二级放大器的输入范围。

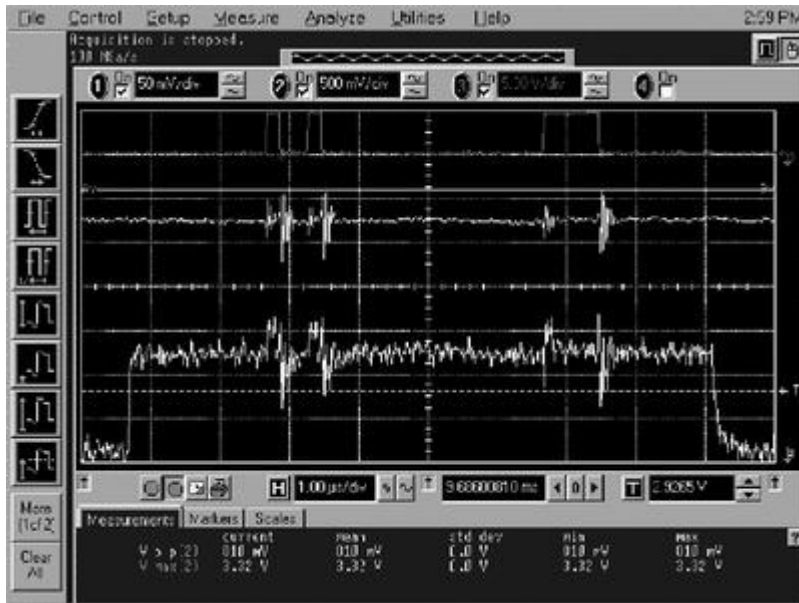


图 4 在此示波器照片中，最上面的波形取自 JP1(到数字电位器的数字码)，第二个波形取自 JP5(相邻模拟走线上的噪声)，最下面的波形取自 TP10(16 位 D/A 转换器输出端的噪声)。

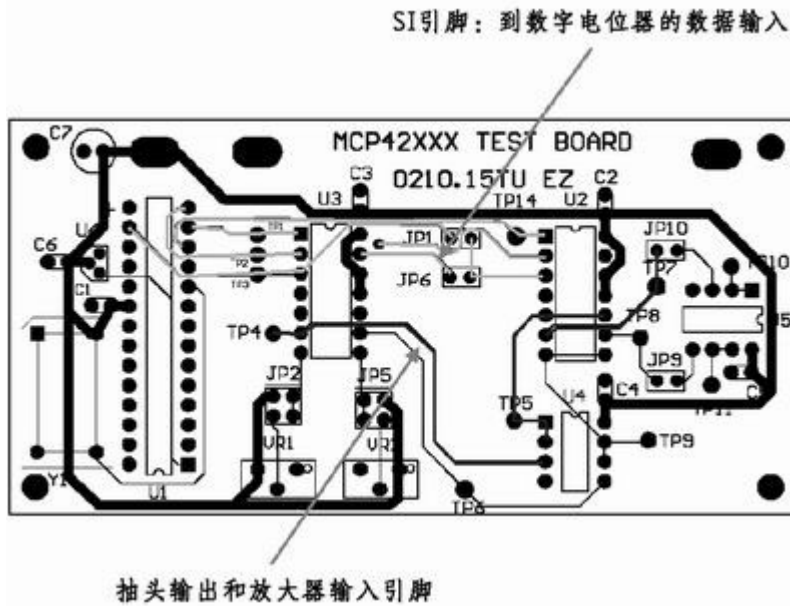


图 5 采用这种新的布线，将模拟线路和数字线路隔离开了。增大走线之间的距离，基本消除了在前面布线中造成干扰的数字噪声。

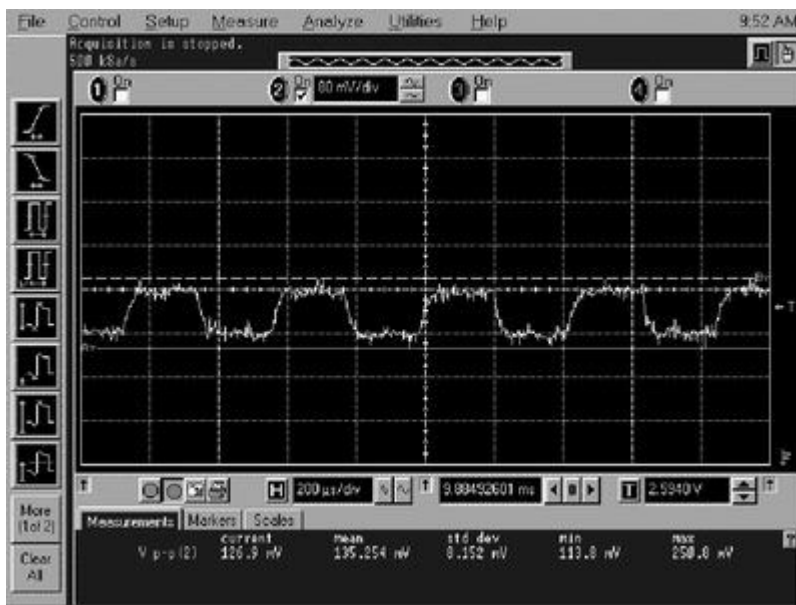


图 6 图中示出了采用新布线的 16 位 D/A 转换器的单个码转换结果，对数字电位器编程的数字信号没有造成数字噪声。

为使此电路具有 16 位 D/A 转换器的性能，采用第三个数字电位器(U2a)跨接在两个运放(U4a 和 U4b)的输出端之间。U3a 和 U3b 的编程设定经数字电位器后的电压值。如果 VDD 为 5V，可以将 U3a 和 U3b 的输出

编程为相差 19.61mV。此电压大小经第三个 8 位数字电位器 R3，则自左至右整个电路的 LSB 大小为 76.3mV。此电路获得最优性能所需的严格器件规格如表 1 所示。

此电路有两种基本工作模式。第一种模式可用于获得可编程、可调节的直流差分电压。在此模式中，电路的数字部分只是偶尔使用，在正常工作时不使用。第二种模式是可以将此电路用作任意波形发生器。在此模式中，电路的数字部分是电路运行的必需部分。此模式中可能发生电容耦合的危险。

图 2 所示电路的第一次布线如图 3 所示。此电路是在实验室中快速设计出的，没有注意细节。在检查布线时，发现将数字走线布在了高阻抗模拟线路的旁边。需要强调的是，第一次就应该正确布线，本文的目的是为了讲解如何识别问题及如何对布线做重大改进。

看一下此布线中不同的走线，可以明显看到哪里可能存在问题。图中的模拟走线从 U3a 的抽头连接到 U4a 放大器的高阻抗输入端。图中的数字走线传送对数字电位器设置进行编程的数字码。

在测试板上经过测量，发现数字走线中的数字信号耦合到了敏感的模拟走线中，参见图 4。

系统中对数字电位器编程的数字信号沿着走线逐渐传输到输出直流电压的模拟线路。此噪声通过电路的模拟部分一直传播到第三个数字电位器(U5a)。第三个数字电位器在两个输出状态之间翻转。解决这个问题

方法主要是分隔开走线，图 5 示出了改进的布线方案。

改变布线的结果如图 6 所示。将模拟和数字走线仔细分开后，电路成为非常“干净”的 16 位 D/A 转换器。图中的波形是第三个数字电位器的单码转换结果 76.29mV。

结语

数字和模拟范围确定后，谨慎布线对获得成功的 PCB 是至关重要的。尤其是有源数字走线靠近高阻抗模拟走线时，会引起严重的耦合噪声，这只能通过增加走线之间的距离来避免。

#### 超强 PCB 布线设计经验谈附原理图(四)

AD 转换器的精度和分辨率增加时使用的布线技巧。最初，模数(A/D)转换器起源于模拟范例，其中物理硅的大部分是模拟。随着新的设计拓扑学发展，此范例演变为，在低速 A/D 转换器中数字占主要部分。尽管 A/D 转换器片内由模拟占主导转变为由数字占主导，PCB 的布线准则却没有改变。当布线设计人员设计混合信号电路时，为实现有效布线，仍需要关键的布线知识。本文将以前述逼近型 A/D 转换器和  $\Sigma$ - $\Delta$  型 A/D 转换器为例，探讨 A/D 转换器所需的 PCB 布线策略。

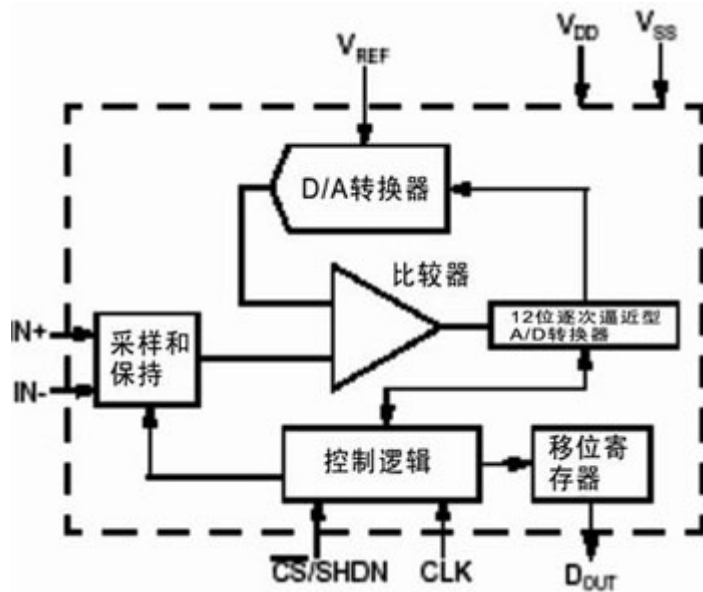


图 1. 12 位 CMOS 逐次逼近型 A/D 转换器的方框图。此转换器使用了由电容阵列形成的电荷分布。

### 逐次逼近型 A/D 转换器的布线

逐次逼近型 A/D 转换器有 8 位、10 位、12 位、16 位以及 18 位分辨率。最初，这些转换器的工艺和结构是带 R-2R 梯形电阻网络的双极型。但是最近，采用电容电荷分布拓扑将这些器件移植到了 CMOS 工艺。显然，这种移植并没有改变这些转换器的系统布线策略。除较高分辨率的器件外，基本的布线方法是一致的。对于这些器件，需要特别注意防止来自转换器串行或并行输出接口的数字反馈。

从电路和片内专用于不同领域的资源来看，模拟在逐次逼近型 A/D 转换器中占主导地位。图 1 是一个 12 位 CMOS 逐次逼近型 A/D 转换器的方框图。

此转换器使用了由电容阵列形成的电荷分布。

在此方框图中，采样/保持、比较器、数模转换器（DAC）的大部分以及 12 位逐次逼近型 A/D 转换器都是模拟的。电路的其余部分是数字的。因此，此转换器所需的大部分能量和电流都用于内部模拟电路。此器件需要很小的数字电流，只有 D/A 转换器和数字接口会发生少量开关。

这些类型的转换器可以有多个地和电源连接引脚。引脚名经常会引起误解，因为可用引脚标号区分模拟和数字连接。这些标号并非意在描述到 PCB 的系统连接，而是确定数字和模拟电流如何流出芯片。知道了此信息，并了解了片内消耗的主要资源是模拟的，就会明白在相同平面（如模拟平面）上连接电源和地引脚的意义。

例如，10 位和 12 位转换器典型样片的引脚配置如图 2 所示。

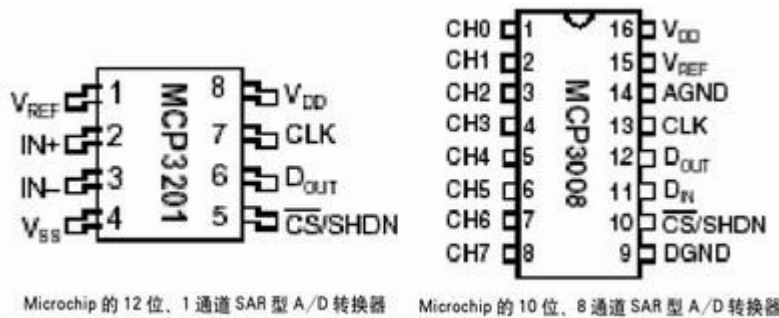


图 2. 逐次逼近型 A/D 转换器，无论其分辨率是多少位，通常至少有两个地连接端：AGND 和 DGND。此处以 Microchip 的 A/D 转换器 MCP4008 和 MCP3001 为例。

对于这些器件，通常从芯片引出两个地引脚：AGND 和 DGND。电源有一个引出引脚。当使用这些芯片实现 PCB 布线时，AGND 和 DGND 应该连



接到模拟地平面。模拟和数字电源引脚也应该连接到模拟电源平面或至少连接到模拟电源轨，并且要尽可能靠近每个电源引脚连接适当的旁路电容。象 MCP3201 这样的器件，只有一个接地引脚和一个正电源引脚，其唯一的原因是由于封装引脚数的限制。然而，隔离开地可增大转换器具有良好和可重复精度的可能性。

对于所有这些转换器，电源策略应该是将所有的地、正电源和负电源引脚连接到模拟平面。而且，与输入信号有关的‘COM’引脚或‘IN’引脚应该尽量靠近信号地连接。

对于更高分辨率的逐次逼近型 A/D 转换器（16 位和 18 位转换器），在将数字噪声与“安静”的模拟转换器和电源平面隔离开时，需要另外稍加注意。当这些器件与单片机接口时，应该使用外部的数字缓冲器，以获得无噪声运行。尽管这些类型的逐次逼近型 A/D 转换器通常在数字输出侧有内部双缓冲器，还是要使用外部缓冲器，以进一步将转换器中的模拟电路与数字总线噪声隔离开。

这种系统的正确电源策略如图 3 所示。

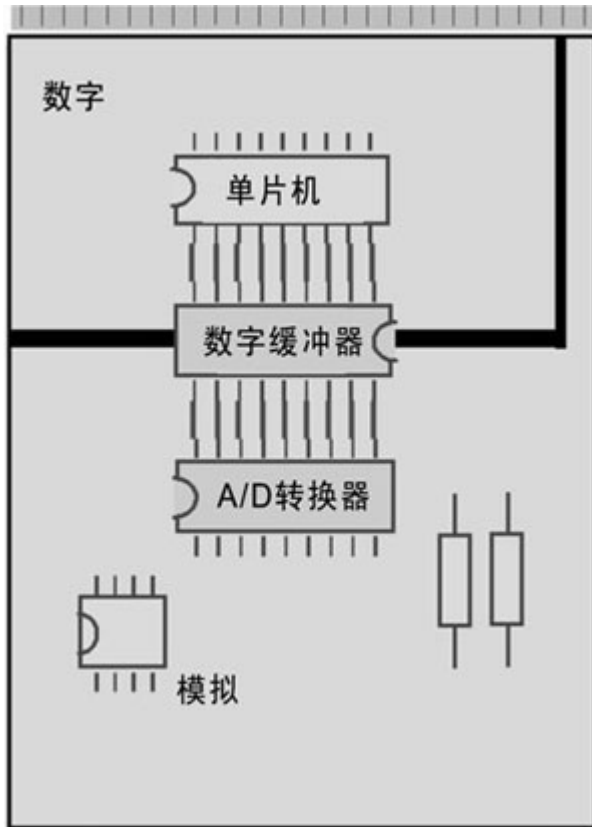


图 3.对于高分辨率的逐次逼近型 A/D 转换器，转换器的电源和地应该连接到模拟平面。然后，A/D 转换器的数字输出应使用外部的三态输出缓冲器缓冲。这些缓冲器除了具有高驱动能力外，还具有隔离模拟和数字侧的作用。

### 高精度 $\Sigma$ - $\Delta$ 型 A/D 转换器的布线策略

高精度 $\Sigma$ - $\Delta$ 型 A/D 转换器硅面积的主要部分是数字。早期生产这种转换器的时候，范例中的这种转变促使用户使用 PCB 平面将数字噪声和模拟噪声隔离开。与逐次逼近型 A/D 转换器一样，这些类型 A/D 转换器可能有多个模拟地、数字地和电源引脚。数字或模拟设计工程师一般都倾向于将这些引脚分开，分别连接到不同的平面。但是，这种倾向是错误的，尤其是当您试图解决 16 位到 24 位精度器件的严重噪声问题时。

对于有 10Hz 数据速率的高分辨率 $\Sigma$ - $\Delta$ 型 A/D 转换器，加在转换器上的时钟（内部或外部时钟）可能为 10MHz 或 20MHz。此高频率时钟用于开关调制器和运行过采样引擎。对于这些电路，与逐次逼近型 A/D 转换器一样，AGND 和 DGND 引脚也是在同一地平面上连接在一起。而且，模拟和数字电源引脚也最好在同一平面上连接在一起。对模拟和数字电源平面的要求与高分辨率逐次逼近型 A/D 转换器相同。

必须要有地平面，这意味着至少需要双面板。在此双面板上，地平面至少要覆盖整个板面积的 75%。地平面层的用途是为了降低接地阻抗和感抗，并提供对电磁干扰（EMI）和射频干扰（RFI）的屏蔽作用。如果在电路板的地平面侧需要有内部连接走线，那么走线要尽可能短并与地电流回路垂直。

## 结论

对于低精度的 A/D 转换器，如六位、八位或甚至可能十位的 A/D 转换器，模拟和数字引脚不分开是可以的。但当您选择的转换器精度和分辨率增加时，布线要求也更严格了。高分辨率逐次逼近型 A/D 转换器和 $\Sigma$ - $\Delta$ 型 A/D 转换器，都需要直接连接到低噪声模拟地和电源平面。

## 超强 PCB 布线设计经验谈附原理图(五)

要解决信号完整性问题，最好有多个工具分析系统性能。如果在信号路径中有一个 A/D 转换器，那么当评估电路性能时，很容易发现三个基本问题：

所有这三种方法都评估转换过程，以及转换过程与布线及电路其它部分的交互作用。三个关注的方面涉及到频域分析、时域分析和直流分析技术的使用。本文将探讨如何使用这些工具来确定与电路布线有关问题的根源。我们将研究如何决定找什么；到哪里找；如何通过测试检验问题；以及如何解决发现的问题等。

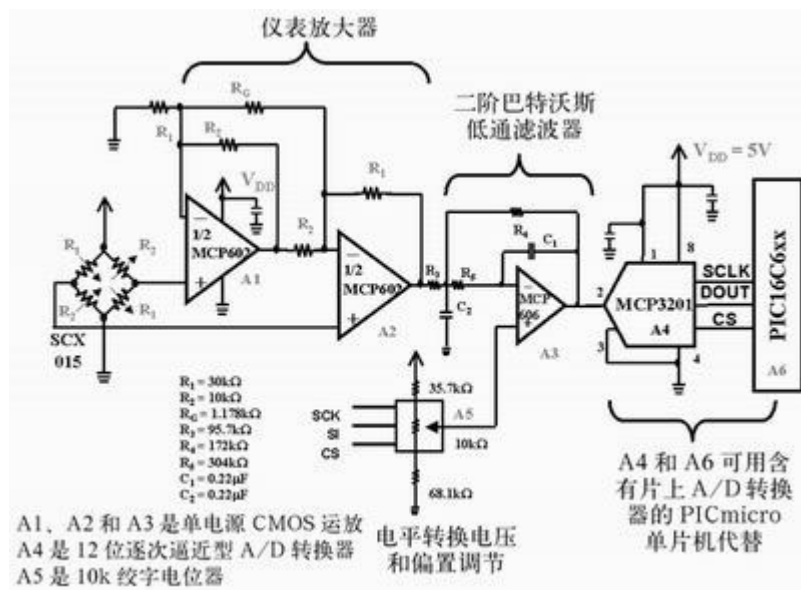


图 1 SCX015 压力传感器输出端的电压由仪表放大器(A1 和 A2)放大。在仪表放大器之后，添加了一个低通滤波器 (A3)，以消除来自 12 位 A/D 转换器转换的混叠噪声

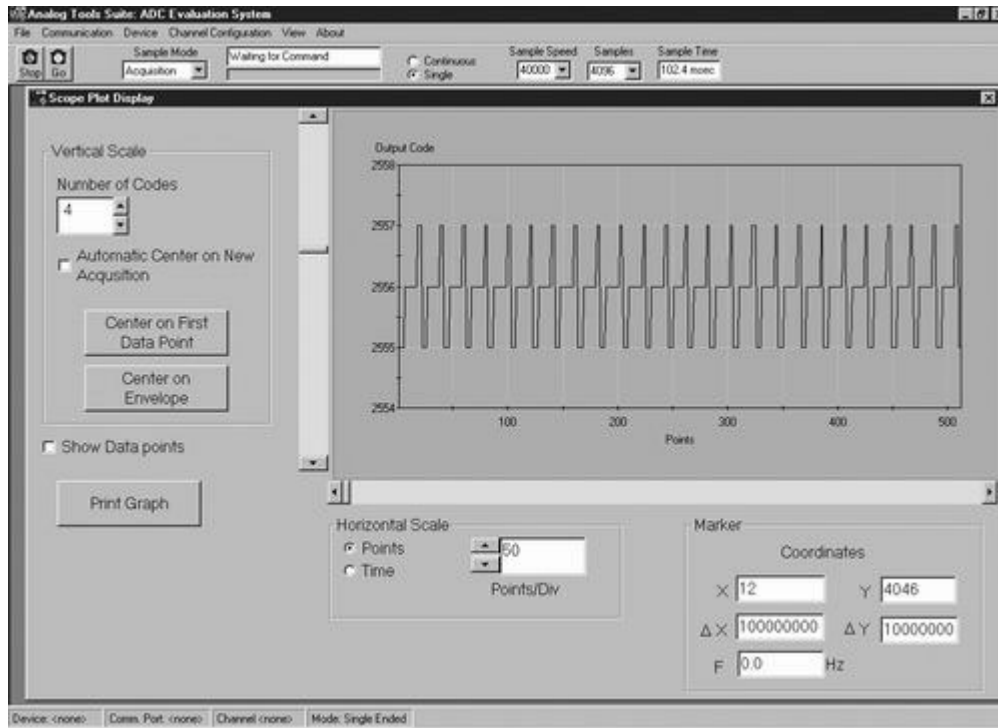


图 2 来自于 12 位 A/D 转换器 MCP3201 的数据的时域表示，产生了有趣的周期信号。此信号源可追溯到电源。

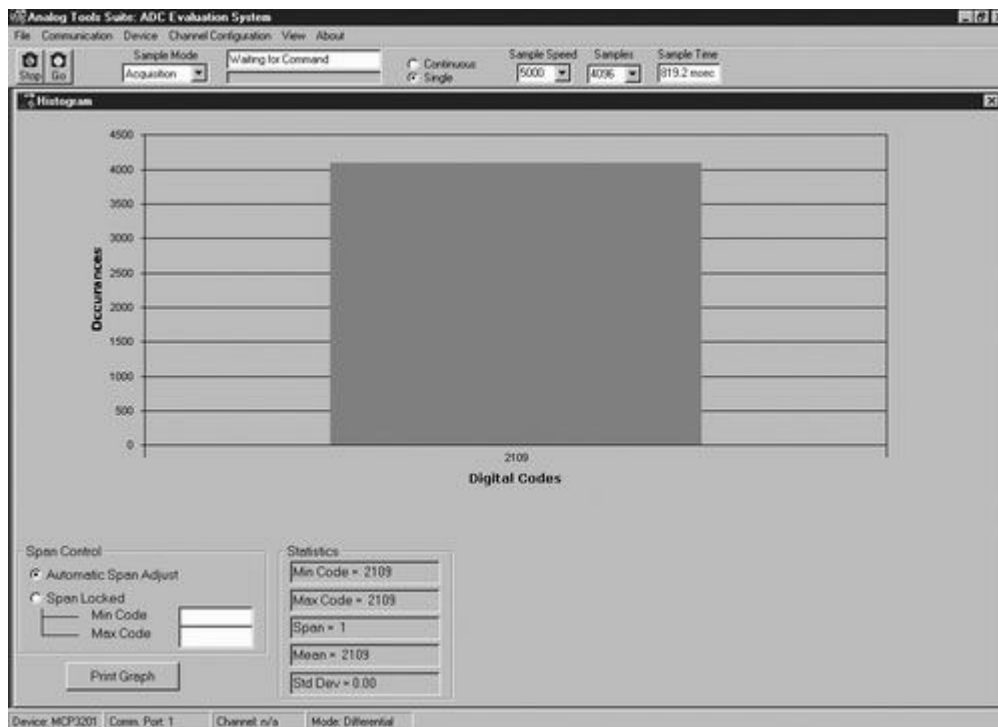


图 3 电源噪声充分降低后，MCP3201 的输出码一直是一个码，2108。

本文要论述的电路如图 1 所示。

## 电源噪声

电路应用中的常见干扰源来自电源，这种干扰信号通常通过有源器件的电源引脚引入。例如，图 1 中 A/D 转换器输出的时序图如图 2 所示。在此图中，A/D 转换器的采样速度是 40ksps，进行了 4096 次采样。

在此例中，仪表放大器、参考电压源和 A/D 转换器上没有加旁路电容。另外，电路的输入都是以一个低噪声、2.5V 的直流电压源作为基准。

对电路的深入研究表明，时序图上看到的噪声源来自于开关电源。电路中添加了旁路电容和扼流环。电源上加了一个 10mF 的电容，并且在尽可能靠近有源元件的电源引脚旁放置了三个 0.1mF 的电容。在产生的新时序图上可以看到，产生了稳定的直流输出，图 3 所示的柱状图可验证这一点。数据显示，电路的这些更改消除了来自电路信号路径的噪声源。

## 造成干扰的外部时钟

其它系统噪声源可能来自时钟源或电路中的数字开关。如果这种噪声与转换过程有关，它不会作为转换过程中的干扰出现。但是，如果这种噪声与转换过程无关，采用 FFT(快速傅立叶变换)分析，可以很容易发现这种噪声。

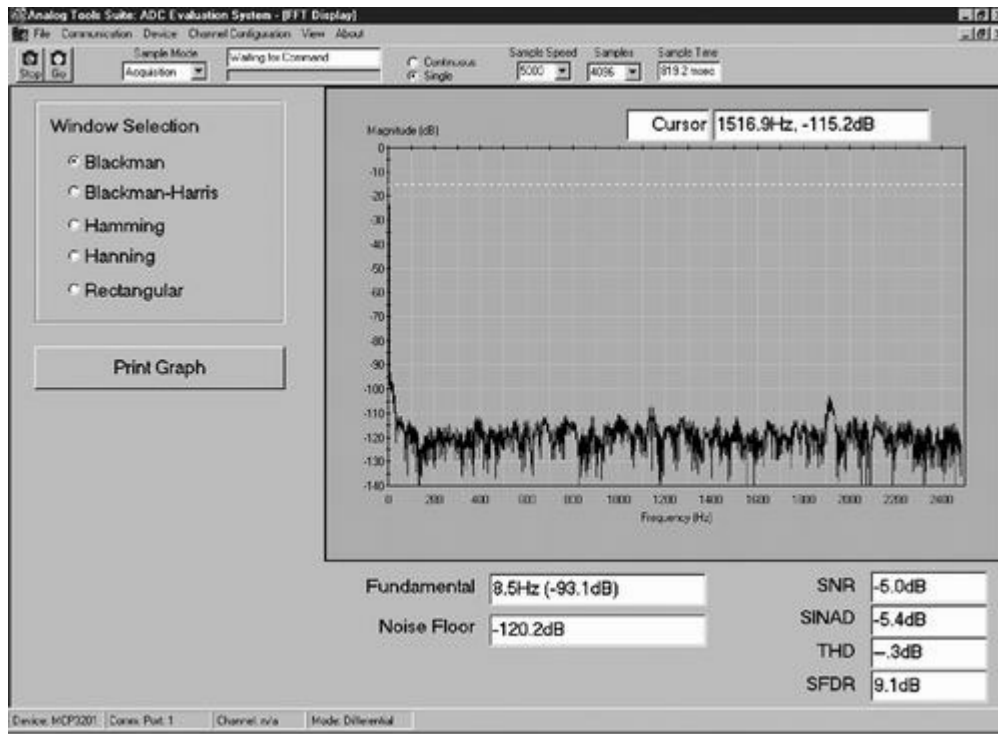


图 4 耦合到模拟走线的数字噪声有时被误解为宽带噪声。FFT 图可以很容易识别这种所谓“噪声”的频率，因此可识别出噪声源。

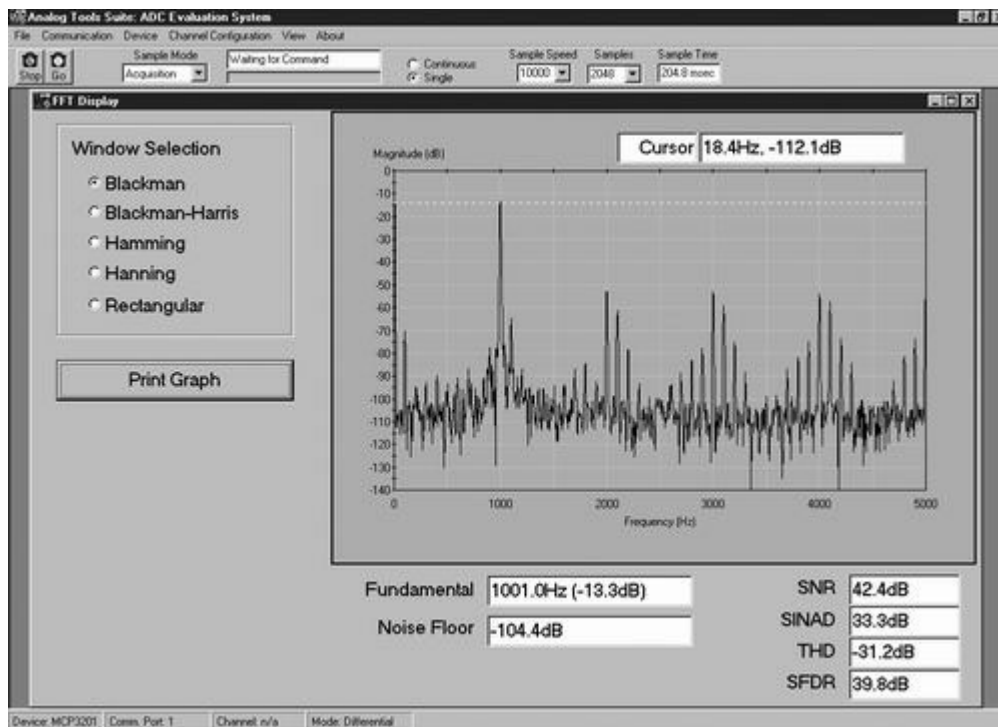


图 5 放大器轻微过激励，会使信号产生失真。通过这种转换的 FFT 图，可以很快发现信号的失真。

时钟信号干扰的示例可参见图 4 所示的 FFT 图。此图使用了图 1 所示的电路，并添加了旁路电容。在图 4 所示的 FFT 图中看到的激励，由电路板上的 19.84MHz 时钟信号产生。在此例中，布线时几乎没有考虑走线之间的耦合作用，在 FFT 图中可以看到忽略此细节的结果。

这个问题可以通过修改布线来解决，将高阻抗模拟走线远离数字开关走线；或者在模拟信号路径中，在 A/D 转换器之前加抗混叠滤波器。走线之间的随机耦合在某种程度上更难以发现，在这种情况下，时域分析可能比较有效。

#### 放大器使用不恰当

回到图 1 所示的电路，在仪表放大器的正相输入端施加一个 1kHz 的交流信号。此信号不是压力传感的特性，但是可以采用这个示例来说明模拟信号路径中器件的影响。

图 5 所示的 FFT 图显示了施加上述条件后的电路性能。注意基波看起来有失真，许多谐波也有同样的失真。失真是由于使放大器轻微过激励引起的。解决此问题的方法是降低放大器增益。

#### 结语

解决信号完整性问题可能会花费很多时间，尤其是当工程师没有工具来解决棘手的问题时。在“窍门箱”中有三种最佳的分析工具：频域分析工



具(FFT)、时域分析工具(示波器照片)和直流分析工具(柱状图)。工程师可以用这些工具来识别电源噪声、外部时钟源和过激励放大器失真。

### 超强 PCB 布线设计经验谈附原理图(六)

对于 12 位传感系统的布线，应用的电路是一负载单元电路，该电路可精确测量传感器上施加的重量，然后将结果显示在 LCD 显示屏上。系统电路原理图如图 1 所示。采用的负载单元是 Omega 公司的 LCL-816G。LCL-816G 传感器模型是由四个电阻元件组成的桥，需电压激励。将 5V 激励电压加在传感器高端，施加 900g 最大激励时，满刻度输出摆幅为 $\pm 10\text{mV}$ 差分信号。该小差分信号被双运放仪表放大器放大。根据电路精度要求，选择一个 12 位 A/D 转换器。当转换器将输入端的电压进行数字化后，数字码经转换器 SPI 端口发送到单片机。然后，单片机用查找表将来自 A/D 转换器的数字信号转换为重量。此时如需要的话，线性化和标定工作可由控制器代码实现。完成这一步后，结果送到 LCD 显示器。最后一步是为控制器写固件。电路设计好之后，即可设计印刷电路板和布线了。

查看这个完整的电路原理图时，若使用自动布线工具，经常要返回来对布线做很大的修改。如果自动布线工具可以实现布线限制，可能还有成功的可能性。如果自动布线工具没有限制选项的话，最好不要使用自动布线工具。

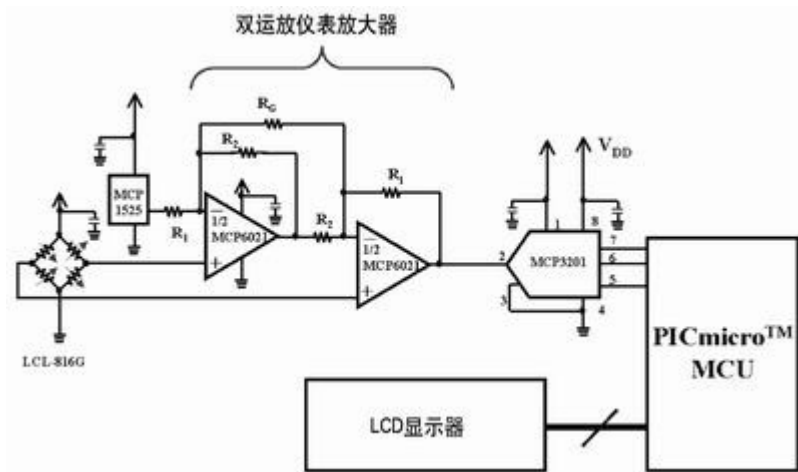


图 1 负载单元传感器输出端的信号由双运放仪表放大器放大，然后由 12 位 A/D 转换器 MCP3201 滤波和数字化。每次转换的结果显示在 LCD 显示屏上。

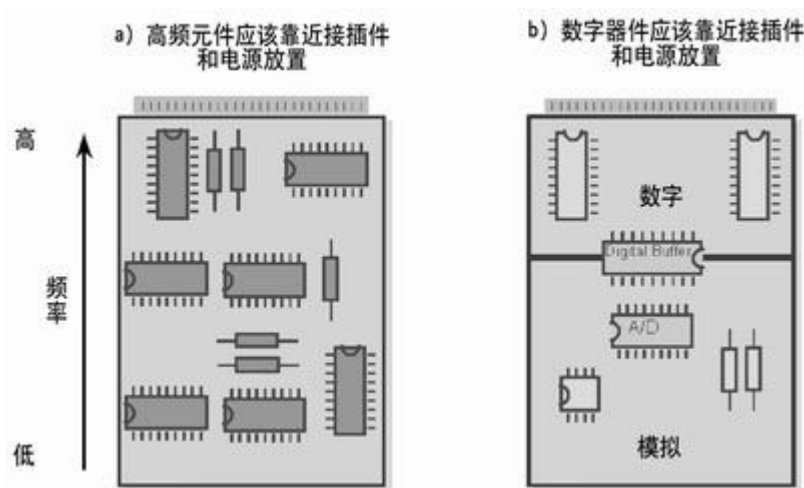


图 2 在精度高于 12 位的电路中，PCB 上有源元件的放置很重要。要将高频元件 和数字器件尽量靠近接插件放置。

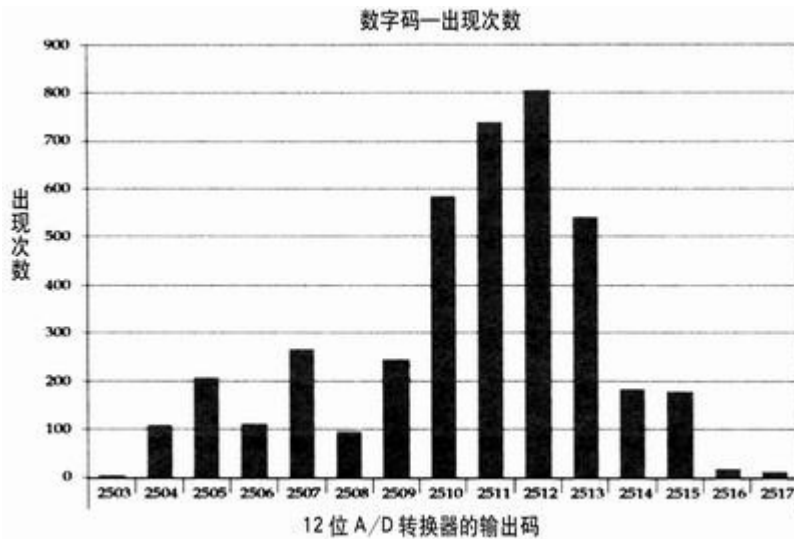


图 3 图 1 电路的顶层布线和底层布线，此布线中没有地平面和电源平面。

注意：为降低电源线的感抗，电源线要比信号线宽很多。

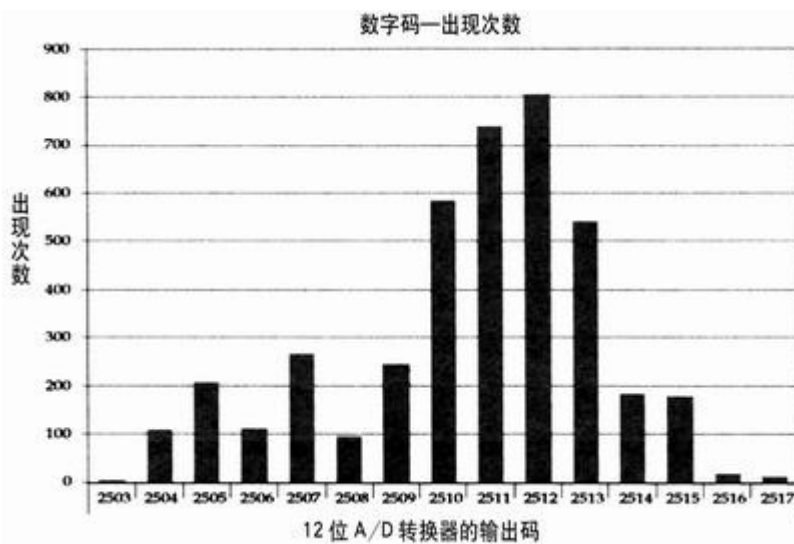


图 4 在没有地平面或电源平面的 PCB(PCB 布线如图 3 所示)中，对 A/D 转换器输出 4096 次采样的柱状图。电路的噪声码宽度为 15 个码。

## 布线的一般准则

### 器件布局

既然是采用手工布线，那么第一个步骤是在板上放置器件。将噪声敏

感器件和产生噪声器件分开放置。完成这个任务有两个准则：

1. 将电路中器件分成两大类：高速(>40MHz)器件和低速器件。如果可能的话，将高速器件尽量靠近板的接插件和电源放置。

2. 将上述大类再分成三个子类：纯数字、纯模拟和混合信号。将数字器件尽量靠近板的接插件和电源放置。

电路板的布线策略要符合图 2 所示的器件布局图。注意图 2a 中高速器件、低速器件与电路板的接插件和电源之间的关系。在图 2b 中，数字器件最靠近电路板的接插件和电源，与其它数字和模拟电路分离开了。纯模拟器件距离数字器件最远，以确保开关噪声不会耦合到模拟信号路径中。A/D 转换器的布线策略在本刊 2004 年 1 月中有详细论述。

### 地和电源策略

确定了器件的大体位置后，就可以定义地平面和电源平面了。实现这些平面是需要一些策略技巧的。

在 PCB 中不使用地平面是很危险的，尤其是在模拟和混合信号设计中。其一，因为模拟信号是以地为基准的，地噪声问题比电源噪声问题更难应对。例如，在图 1 所示电路中，A/D 转换器(MCP3201)的反相输入引脚是接地的；二，地平面还对噪声有屏蔽作用。采用地平面可以很容易解决这些问题，但是，如果没有地平面，要克服这些问题几乎是不可能的。

这里，假设不需要地平面。图 1 所示的电路无地平面布线，如图 3 所

示。

“不需要地平面”的理论还行得通吗？这可以通过数据来验证。在图 4 中，对 A/D 转换器进行了 4096 次采样并记录了数据。在采集数据时，没有在传感器上施加激励。采用这种电路布线，控制器专用于与转换器接口，并将转换器的结果发送到 LCD 显示器。

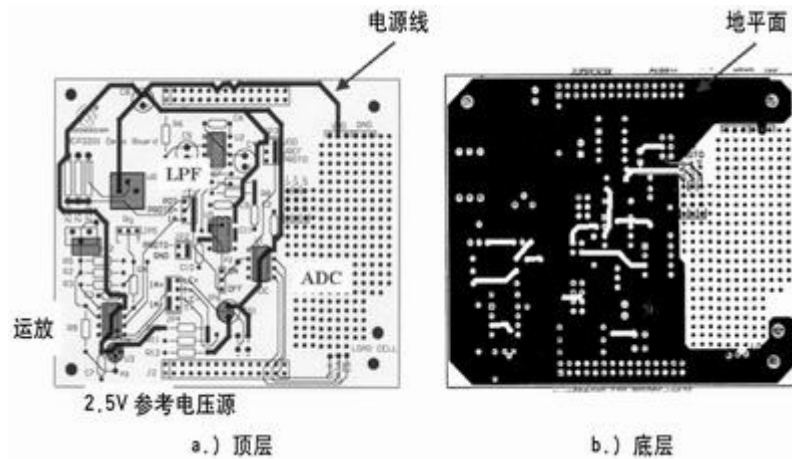


图 5 图 1 电路的顶层和底层布线。注意此布线中有地平面。

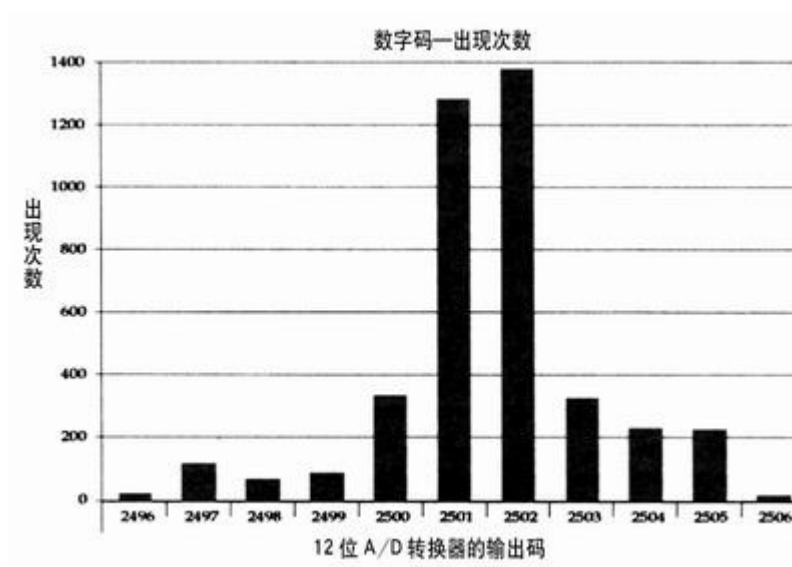


图 6 在有地平面的 PCB(PCB 布线如图 5 所示)中，对 A/D 转换器输出 4096 次采样的柱状图。噪声码宽度为 11 个码。

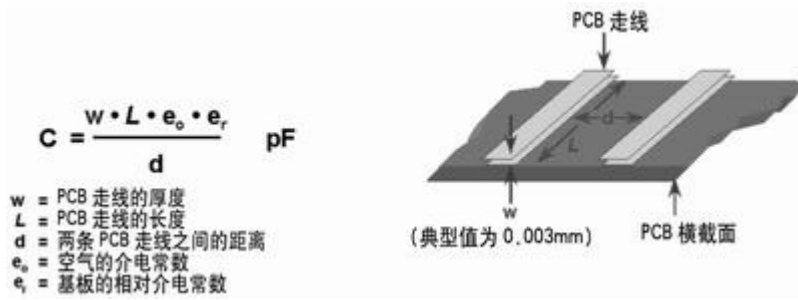


图 7 在 PCB 上将两条走线靠近放置，就会产生寄生电容。信号会通过这种寄生电容在走线之间耦合。

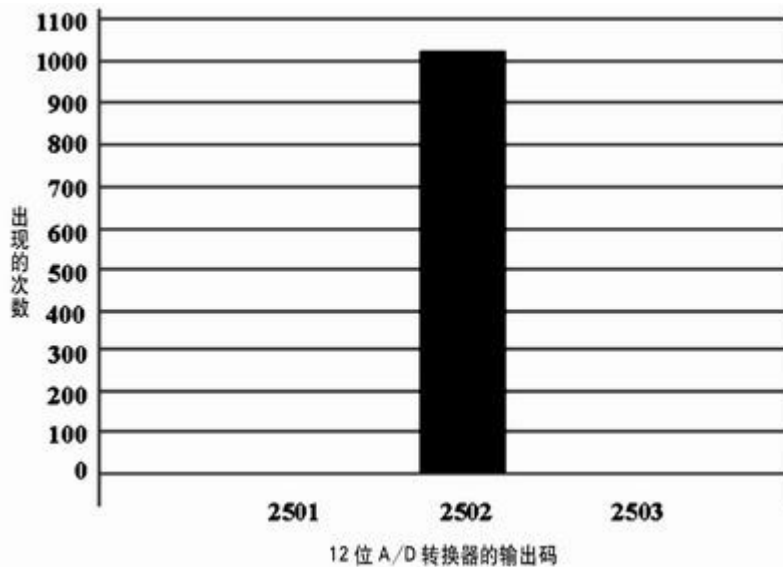


图 8 显示在图 1 电路中添加一个四阶抗信号混叠滤波器后的转换结果。另外，电路板布线中添加了地平面。

图 5 所示的布线与图 3 中的布线基本相同，但在底层添加了地平面。地平面(图 5b)有几处被信号线打断，应尽量减少地平面被断开的次数。电流返回路径不应缩短，因为这些走线会限制从器件到电源接插件的电流流动。A/D 转换器输出的柱状图如图 6 所示。与图 4 相比，输出码要密集得多。两次测试中使用了相同的有源器件。无源器件不同，会导致较小的偏置差异。

从上述数据很容易看出，地平面确实对电路噪声有抑制作用。当电路中没有地平面时，噪声的宽度大约为 15 个码；添加了地平面后，性能提高了约 1.5 倍或 15/11 倍。请注意，测试是在电磁干扰较低的实验室中进行的。

A/D 转换器输出数字码的噪声可归因于运放的噪声和缺少抗信号混叠滤波器。如果电路中有“最少”量的数字电路，可能只需要一个地平面和一个电源平面就可以了。“最少”可由电路板设计人员定义。将数字和模拟地平面连接在一起的危险在于，模拟电路会从电源引脚引入噪声，并将噪声耦合到信号路径中。在电路的一点或多点上，要将模拟电路和数字电路的地和电源连接在一起，以确保所有器件的电源、输入和输出共地，其标称值不会被破坏。

在 12 位系统中，电源平面并不象地平面那么重要。尽管电源平面可以解决许多问题，使电源线比电路板上其它走线宽两倍或三倍，以及有效使用旁路电容，都可以降低电源的噪声。

### 信号线

电路板(包括数字和模拟电路)上的信号线要尽量短。这个基本准则将降低无关信号耦合到信号路径的可能性。尤其要注意的是模拟器件的输入端，这些输入端通常比输出引脚或电源引脚具有更高的阻抗。例如，A/D 转换器的参考电压输入引脚在进行转换期间是最为敏感的。对于图 1 中的 12 位转换器，输入引脚(IN+和 IN-)对引入的噪声也很敏感。运放的输入端

也有可能在信号路径中引入噪声。这些端通常具有 109W 至 1013W 的输入阻抗。

高阻抗输入端对于输入电流比较敏感。如果从高阻抗输入端引出的走线靠近有快速变化电压的走线(如数字或时钟信号线),就会发生这种情况,此时电荷通过寄生电容耦合到高阻抗走线中。

这两条走线之间的关系如图 7 所示。图中,两条走线之间寄生电容的值主要取决于走线之间的距离(d),以及两条走线保持平行的长度(L)。通过这个模型,高阻抗走线中产生的电流等于:  $I=C \text{ dV}/\text{dt}$

其中: I 是高阻抗走线上的电流, C 是两条 PCB 走线之间的电容值, dV 是有开关动作的走线上的电压变化, dt 是电压从一个电平变化到下一个电平所用的时间。

### 旁路电容和抗信号混叠滤波器的使用

有关旁路电容的一个原则是:在电路中始终包含旁路电容。如果设计电路时,没有加旁路电容,电源噪声很可能使电路的精度达不到 12 位。

### 旁路电容

可在电路板上的如下两个位置放置旁路电容:一个电容(10mF 至 100 mF)放置在电源侧,另一个电容放置在每个有源器件(包括数字和模拟器件)旁边。加在器件上旁路电容的值取决于使用的器件。如果器件的带宽小于或等于 1MHz,那么采用 1mF 的电容可以显著降低引入的噪声。如果器件



的带宽大于 10MHz，0.1mF 的电容可能比较合适。如果带宽在这两个频率之间，可同时使用这两种容值的电容，或使用其一。

电路板上的每个有源器件都需要一个旁路电容。旁路电容必须尽可能靠近器件的电源引脚放置，如图 5 所示。如果一个器件使用了两个旁路电容，容值小的电容要最靠近器件引脚。而且，旁路电容的引脚要尽量短。

### 抗信号混叠滤波器

请注意，图 1 所示的电路中没有抗信号混叠滤波器。正如数据所显示，这一疏忽在电路中引起了噪声问题。此电路板中，当在仪表放大器的输出和 A/D 转换器的输入之间接入一个四阶、10Hz 抗信号混叠滤波器时，转换响应的性能大为提高，如图 8 所示。

模拟滤波可在模拟信号到达 A/D 转换器之前，消除叠加在模拟信号上的噪声，尤其是无关的噪声尖峰。A/D 转换器将对出现在其输入端的信号进行转换，这种信号可能包括传感器电压信号或噪声，抗信号混叠滤波器消除了转换过程中的高频噪声。

### PCB 设计准则

只要遵循如下几个准则，良好的 12 位布线技巧并不难掌握：

1. 检查器件相对于接插件的位置，确保高速器件和数字器件最靠近接插件。

2. 电路中至少要有一个地平面。
3. 使电源线比板上的其它走线宽。
4. 检查电流回路，寻找地线中的可能噪声源。这可通过确定地平面上所有点的电流密度和可能存在的噪声量来实现。
5. 正确旁路所有器件，将电容尽量靠近器件的电源引脚放置。
6. 使所有走线都尽量短。
7. 查看所有的高阻抗走线，逐条走线查找可能的电容耦合问题。
8. 确保对混合信号电路中的信号正确滤波。