



PCB（印制电路板）布局布线技巧 100 问

在电子产品设计中，PCB 布局布线是最重要的一步，PCB 布局布线的好坏将直接影响电路的性能。现在，虽然有很多软件可以实现 PCB 自动布局布线，但是随着信号频率不断提升，很多时候，工程师需要了解有关 PCB 布局布线的最基本的原则和技巧，这样才可以让自己的设计完美无缺，《PCB（印制电路板）布局布线 100 问》涵盖了 PCB 布局布线的相关基本原理和设计技巧，以问答形式解答了有关 PCB 布局布线方面的疑难问题，对于 PCB 设计人员来说是非常难得实用读物，欢迎大家在此基础上补充内容并完善。相关信息可发送到 service@eetrend.com。

1、**[问]**高频信号布线时要注意哪些问题？

[答]1.信号线的阻抗匹配；
2.与其他信号线的空间隔离；
3.对于数字高频信号，差分线效果会更好；

2、**[问]**在布板时，如果线密，过孔就可能要多，当然就会影响板子的电气性能，请问怎样提高板子的电气性能？

[答]对于低频信号，过孔不要紧，高频信号尽量减少过孔。如果线多可以考虑多层板；

3、**[问]**是不是板子上加的去耦电容越多越好？

[答]去耦电容需要在合适的位置加合适的值。例如，在你的模拟器件的供电端口就进加，并且需要用不同的电容值去滤除不同频率的杂散信号；

4、**[问]**一个好的板子它的标准是什么？

[答]布局合理、功率线功率冗余度足够、高频阻抗阻抗、低频走线简洁。

5、**[问]**通孔和盲孔对信号的差异影响有多大？应用的原则是什么？

[答]采用盲孔或埋孔是提高多层板密度、减少层数和板面尺寸的有效方法，并大大减少了镀覆通孔的数量。但相比较而言，通孔在工艺上好实现，成本较低，所以一般设计中都使用通孔。

6、**[问]**在涉及模拟数字混合系统的时候，有人建议电层分割，地平面采取整片敷铜，也有人建议电地层都分割，不同的地在电源源端点接，但是这样对信号的回流路径就远了，具体应用时应如何选择合适的方法？

[答]如果你有高频>20MHz 信号线，并且长度和数量都比较多，那么需要至少两层给这个模拟高频信号。一层信号线、一层大面积地，并且信号线层需要打足够的过孔到地。这样的目的是：

- 1、对于模拟信号，这提供了一个完整的传输介质和阻抗匹配；
- 2、地平面把模拟信号和其他数字信号进行隔离；
- 3、地回路足够小，因为你打了很多过孔，地有是一个大平面。

7、**[问]**在电路板中，信号输入插件在 PCB 最左边沿，MCU 在靠右边，那么在布局时是把稳压电源芯片放置在靠近接插件（电源 IC 输出 5V 经过一段比较长的路径才到达 MCU），还是把电源 IC 放置到中间偏右（电源 IC 的输出 5V 的线到达 MCU 就比较短，但输入电源线就经过比较长一段 PCB 板）？或是有更好的布局？

[答]首先你的所谓信号输入插件是否是模拟器件？如果是模拟器件，建议你的电源布局应尽量不影响到模拟部分的信号完整性。因此有几点需要考虑（1）首先你的稳压电源芯片是否是比较干净，纹波小的电源。对模拟部分的供电，对电源的要求比较高。（2）模拟部分和你的MCU是否是一个电源，在高精度电路的设计中，建议把模拟部分和数字部分的电源分开。（3）对数字部分的供电需要考虑到尽量减小对模拟电路部分的影响。

8、[问]在高速信号链的应用中，对于多 ASIC 都存在模拟地和数字地，究竟是采用地分割，还是不分割地？既有准则是什么？哪种效果更好？

[答]迄今为止，没有定论。一般情况下你可以查阅芯片的手册。ADI 所有混合芯片的手册中都是推荐你一种接地的方案，有些是推荐公地、有些是建议隔离地。这取决于芯片设计。

9、[问]何时要考虑线的等长？如果要考虑使用等长线的话，两根信号线之间的长度之差最大不能超过多少？如何计算？

[答]差分线计算思路：如果你传一个正弦信号，你的长度差等于它传输波长的一半是，相位差就是 180 度，这时两个信号就完全抵消了。所以这时的长度差是最大值。以此类推，信号线差值一定要小于这个值。

10、[问]高速中的蛇形走线，适合在那种情况？有什么缺点没，比如对于差分走线，又要求两组信号是正交的。

[答]蛇形走线，因为应用场合不同而具不同的作用：

(1) 如果蛇形走线在计算机板中出现，其主要起到一个滤波电感和阻抗匹配的作用，提高电路的抗干扰能力。计算机主机板中的蛇形走线，主要用在一些时钟信号中，如 PCI-CLK, AGPCLK, IDE, DIMM 等信号线。

(2) 若在一般普通 PCB 板中，除了具有滤波电感的作用外，还可作为收音机天线的电感线圈等等。如 2.4G 的对讲机中就用作电感。

(3) 对一些信号布线长度要求必须严格等长，高速数字 PCB 板的等线长是为了使各信号的延迟差保持在一个范围内，保证系统在同一周期内读取的数据的有效性（延迟差超过一个时钟周期时会错读下一周期的数据）。如 INTELHUB 架构中的 HUBLink，一共 13 根，使用 233MHz 的频率，要求必须严格等长，以消除时滞造成的隐患，绕线是惟一的解决办法。一般要求延迟差不超过 1/4 时钟周期，单位长度的线延迟差也是固定的，延迟跟线宽、线长、铜厚、板层结构有关，但线过长会增大分布电容和分布电感，使信号质量有所下降。所以时钟 IC 引脚一般都接;" 端接，但蛇形走线并非起电感的作用。相反地，电感会使信号中的上升沿中的高次谐波相移，造成信号质量恶化，所以要求蛇形线间距最少是线宽的两倍。信号的上升时间越小，就越易受分布电容和分布电感的影响。

(4) 蛇形走线在某些特殊的电路中起到一个分布参数的 LC 滤波器的作用。

11、[问]在设计 PCB 时，如何考虑电磁兼容性 EMC/EMI，具体需要考虑哪些方面？采取哪些措施？

[答]好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置, PCB 叠层的安排, 重要联机的走法, 器件的选择等。

例如时钟产生器的位置尽量不要靠近对外的连接器，高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射，器件所推的信号之斜率(slew rate)尽量小以减低高频成分，选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。

另外，注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗 loop impedance 尽量小)以减少辐射，还可以用分割地层的方式以控制高频噪声的范围，最后，适当的选择 PCB 与外壳的接地点(chassis ground)。

12、[问]请问射频宽带电路 PCB 的传输线设计有何需要注意的地方？传输线的地孔如何设置比较合适，阻抗匹配是需要自己设计还是要和 PCB 加工厂家合作？

[答]这个问题要考虑很多因素。比如 PCB 材料的各种参数，根据这些参数最后建立的传输线模型，器件的参数等。阻抗匹配一般要根据厂家提供的资料来设计

13、[问]在模拟电路和数字电路并存的时候，如一半是 FPGA 或单片机数字电路部分，另一半是 DAC 和相关放大器的模拟电路部分。各种电压值的电源较多，遇到数模双方电路都要用到的电压值的电源，是否可以用共同的电源，在布线和磁珠布置上有什么技巧。。？

[答]一般不建议这样使用。这样使用会比较复杂，也很难调试。

14、[问]您好，请问在进行高速多层 PCB 设计时，关于电阻电容等器件的封装的选择的，主要依据是什么？常用那些封装，能否举几个例子。

[答]0402 是手机常用；0603 是一般高速信号的模块常用；依据是封装越小寄生参数越小，当然不同厂家的相同封装在高频性能上有很大差异。建议你在关键的位置使用高频专用元件。

15、[问]一般在设计中双面板是先走信号线还是先走地线？

[答]这个要综合考虑。在首先考虑布局的情况下，考虑走线。

16、[问]在进行高速多层 PCB 设计时，最应该注意的问题是什么？能否做详细说明问题的解决方案。

[答]最应该注意的是你的层的设计，就是信号线、电源线、地、控制线这些你是如何划分在每个层的。一般的原则是模拟信号和模拟信号地至少要保证单独的一层。电源也建议用单独一层。

17、[问]请问具体何时用 2 层板，4 层板，6 层板在技术上有没有严格的限制？（除去体积原因）是以 CPU 的频率为准还是其和外部器件数据交互的频率为准？

[答]采用多层板首先可以提供完整的地平面，另外可以提供更多的信号层，方便走线。对于 CPU 要去控制外部存储器件的应用，应以交互的频率为考虑，如果频率较高，完整的地平面是一定要保证的，此外信号线最好要保持等长。

18、[问]PCB 布线对模拟信号传输的影响如何分析，如何区分信号传输过程中引入的噪声是布线导致还是运放器件导致。

[答]这个很难区分，只能通过 PCB 布线来尽量减低布线引入额外噪声。

19、[问]最近我学习 PCB 的设计，对高速多层 PCB 来说，电源线、地线和信号线的线宽设置为多少是合适的，常用设置是怎样的，能举例说明吗？例如工作频率在 300MHz 的时候该怎么设置？

[答]300MHz 的信号一定要做阻抗仿真计算出线宽和线和地的距离；

电源线需要根据电流的大小决定线宽

地在混合信号 PCB 时候一般就不用“线”了，而是用整个平面，这样才能保证回路电阻最小，并且信号线下面有一个完整的平面

20、[问]请问怎样的布局才能达到最好的散热效果？

[答]PCB 中热量的来源主要有三个方面：(1)电子元器件的发热；(2)PCB 本身的发热；(3)其它部分传来的热。在这三个热源中，元器件的发热量最大，是主要热源，其次是 PCB 板产生的热，外部传入的热量取决于系统的总体热设计，暂时不做考虑。

那么热设计的目的是采取适当的措施和方法降低元器件的温度和 PCB 板的温度，使系统在合适的温度下正常工作。主要是通过减小发热，和加快散热来实现。这里有一篇相关的文章

<http://www.adminkc.cn/thread-110469-1-1.html>

21、[问]可否解释下线宽和与之匹配的过孔的大小比例关系？

[答]这个问题很好，很难说有一个简单的比例关系，因为他两的模拟不一样。一个是面传输一个是环状传输。您可以在网上找一个过孔的阻抗计算软件，然后保持过孔的阻抗和传输线的阻抗一致就行。

22、[问]在一块普通的有一 MCU 控制的 PCB 电路板中，但没大电流高速信号等要求不是很高，那么在 PCB 的四周最外的边沿是否铺一层地线把整个电路板包起来会比较好？

[答]一般来讲，就铺一个完整的地就可以了。

23、[问]1、我知道 AD 转换芯片下面要做模拟地和数字地的单点连接，但如果板上有多个 AD 转换芯片的情况下怎么处理呢？2、多层电路板中，多路开关（multiplexer）切换模拟量采样时，需要像 AD 转换芯片那样把模拟部分和数字部分分开吗？

[答]1、几个 ADC 尽量放在一起，模拟地数字地在 ADC 下方单点连接；

2、取决于 MUX 与 ADC 的切换速度，一般 ADC 的速度会高于 MUX，所以建议放在 ADC 下方。当然，保险起见，可以在 MUX 下方也放一个磁珠的封装，调试时视具体情况来选择在哪进行单点连接。

24、[问]在常规的网络电路设计中，有的采用把几个地连在一起，又这样的用法吗？为什么？谢谢！

[答]不是很清楚您的问题。对于混合系统肯定会有几种类型的地，最终是会合在一点将其连接一起，这样做的目的是等电势。大家需要一个共同的地电平做参考。

25、[问]PCB 中的模拟部分和数字部分、模拟地和数字地如何有效处理，多谢！

[答]模拟电路和数字电路要分开区域放置，使得模拟电路的回流在模拟电路区域，数字的在数字区域内，这样数字就不会影响到模拟。模拟地和数字地处理的出发点是类似的，不能让数字信号的回流流到模拟地上去。

26、[问]模拟电路和数字电路在 PCB 板设计时，对地线的设计有哪些不同？需要注意哪些问题？

[答]模拟电路对地的主要要求是，完整、回路小、阻抗匹配。数字信号如果低频没有特别要求；如果速度高，也需要考虑阻抗匹配和地完整。

27、[问]去耦电容一般有两个，0.1 和 10 的，如果面积比较紧张的情况话，如何放置两个电容，哪个放置背面好些？

[答]要根据具体的应用和针对什么芯片来设计

28、[问]请问老师，射频电路中，经常会出现 IQ 两路信号，请问这两根线的长度是否需要一样？

[答]在射频电路里尽量使用一样的

29、[问]高频信号电路的设计与普通电路设计有什么不同吗？能以走线设计为例简单说明一下吗？

[答]高频电路设计要考虑很多参数的影响，在高频信号下，很多普通电路可以忽略的参数不能忽略，因此可能要考虑到传输线效应。

30、[问]高速 PCB，布线过程中过孔的避让如何处理，有什么好的建议？

高速 PCB，最好少打过孔，通过增加信号层来解决需要增加过孔的需求。

31、[问]PCB 板设计中电源走线的粗细如何选取？有什么规则吗？

[答]可以参考： $0.15 \times \text{线宽}(\text{mm}) = A$ ，也需要考虑铜厚

32、[问]数字电路和模拟电路在同一块多层板上时，模拟地和数字地要不要排到不同的层

上?

[答]不需要这样做，但模拟电路和数字电路要分开放置。

33、[问]一般数字信号传输时最多几个过孔比较合适？（120Mhz 以下的信号）

[答]最好不要超过两个过孔。

34、[问]在既有模拟电路又有数字电路的电路中，PCB 板设计时如何避免互相干扰问题？

[答]模拟电路如果匹配合理辐射很小，一般是被干扰。干扰源来自器件、电源、空间和 PCB；数字电路由于频率分量很多，所以肯定是干扰源。解决方法一般是，合理器件的布局、电源退偶、PCB 分层,如果干扰特点大或者模拟部分非常敏感，可以考虑用屏蔽罩。

35、[问]对于高速线路板，到处都可能存在寄生参数，面对这些寄生参数，我们是精确各种参数然后再来消除，还是采用经验方法来解决？应该如何平衡这种效率与性能的问题？

[答]一般来说要分析寄生参数对于电路性能的影响。如果影响不能忽略，就一定要考虑解决和消除。

36、[问]多层板布局时要注意哪些事项？

[答]多层板布局时，因为电源和地层在内层，要注意不要有悬浮的地平面或电源平面，另外要确保打到地上的过孔确实连到了地平面上，最后是要为一些重要的信号加一些测试点，方便调试的时候进行测量。

37、[问]如何避免高速信号的 crosstalk？

[答]可以让信号线离的远一些，避免走平行线，通过铺地或加保护来起到屏蔽作用，等等。

38、[问]请问在多层板设计中经常会用到电源平面，可是在双层板中需要设计电源平面吗？

[答]很难，因为你各种信号线在双层布局已经差不多了

39、[问]PCB 板的厚度对电路有什么影响吗？一般是如何选取的？

[答]厚度在作阻抗匹配时比较重要，PCB 厂商会询问阻抗匹配是在板厚为多少时进行计算的，PCB 厂商会根据你的要求进行制作。

40、[问]地平面可以使信号最小回路，但是也会和信号线产生寄生电容，这个应该怎么取舍？

[答]要看寄生电容对信号是否有不可忽略的影响。如果不可忽略，那就要重新考虑

41、[问]LDO 输出当做数字电源还是模拟电源意思是数字跟模拟哪个先接电源输出好？

[答]如果想用一个 LDO 来为数字和模拟提供电源，建议先接模拟电源，模拟电源经过 LC 滤波后，为数字电源。

42、[问]请问应该在模拟 Vcc 和数字 Vcc 之间用磁珠，还是应该在模拟地和数字地之间用磁珠呢？

[答]模拟 VCC 经过 LC 滤波后得到数字 VCC，模拟地和数字地间用磁珠。

43、[问]LVDS 等差分信号线如何布线？

[答]一般需要注意：所有布线包括周围的器件摆放、地平面都需要对称。具体可以参考：
http://www.altera.com/literature/wp/wp_lvdsboard.pdf

44、[问]一个好的 PCB 设计，需要做到自身尽量少的向外发射电磁辐射，还要防止外来的电磁辐射对自身的干扰，请问防止外来的电磁干扰，电路需要采取哪些措施呢？

[答]最好的方法是屏蔽，阻止外部干扰进入。电路上，比如有 INA 时，需要在 INA 前加 RFI 滤波器滤除 RF 干扰。

45、[问]采用高时钟频率的快速集成电路芯片电路，在 PCB 板设计时如何解决传输线效应的问题？

[答]这个快速集成电路芯片是什么芯片？如果是数字芯片，一般不用考虑。如果是模拟芯片，要看传输线效应是否大到影响芯片的性能。

46、[问]在一个多层的 PCB 设计中，是否还需要覆铜呢？如果覆铜的话应该将其连接到哪一层？

[答]如果内部有完整的地平面和电源平面，则顶层和底层可以不敷铜。

47、[问]在高速多层 PCB 设计时，进行阻抗仿真一般怎么进行，利用什么软件？有什么要特别注意的问题吗？

[答]你可以采用 Multisim 软件来仿真电阻电容效应。

48、[问]有些器件的引脚较细，但是 PCB 板上走线较粗，连接后会不会造成阻抗不匹配的问题？如果有该如何解决？

[答]要看是什么器件。而且器件的阻抗一般在数据手册上给出，一般和引脚粗细关系不大

49、[问]差分线一般都需要等长如果实在在 LAYOUT 中有困难实现，是否有其他补救措施？

[答]可以通过走蛇形线来解决等长的问题，现在大多数的 PCB 软件都可以自动走等长线，很方便。

50、[问]在用万用表测量芯片的模拟地与数字地接口的时候是导通的，这样模拟地域数字地不就是多点连接了吗？

[答]芯片内部的地管脚都是连接在一起的。但是在 PCB 板上仍然需要连接。最理想的单点接地，应该是要了解芯片内部模拟和数字部分的连接点位置，然后把 PCB 板上的单点连接位置也设计在芯片的模拟和数字分界点。

51、[问]由于受到板子尺寸的限制，我的电路板采用两面贴片焊接芯片，板子上走了很多的过孔，信号线也走在附近，这样走线会对信号产生干扰吗？

[答]如果是低速数字信号，应该问题不大。否则肯定会影响信号的质量。

52、[问]数字线在考虑要不要做阻抗匹配时，是看信号传出至反射回来时，总时间是否超过上升沿的 20%，若超过则需阻抗匹配。请问模拟线要不要阻抗匹配？怎样考虑？

[答]低频的模拟信号是不需要匹配的，射频的模拟信号当然也要考虑匹配问题。

53、[问]关于完整的地平面，在使用 AD/DA 芯片的板子上，如果层数比较多，可以提供一个完整的模拟地和一个完整的数字地；也可以在这两层地平面上都分别划分模拟地，数字地。二者孰优孰劣？

[答]一般来讲，都会铺完整的地平面。除非是一些特殊的情况，比如板子的模拟部分和数字部分是明显分开的，可以很容易地区分开。

54、[问]用磁珠或 MECCA 连接数字、模拟地时，是利用其频率特性，使数字地中高频成分不影响模拟地，同时保证二者电平相等。那么，0ohm 电阻连接数字、模拟地有什么作用，有时还只用一小块铜连接，能分析一下吗？

[答]磁珠的等效电路相当于带阻滤波器，只对某个频点的噪声有显著抑制作用，使用时需要预先估计噪声频率，以便选用适当型号。对于频率不确定或无法预知的情况，磁珠不合。

0 欧电阻相当于很窄的电流通路，能够有效地限制环路电流，使噪声得到抑制。电阻在所有频带上都有衰减作用(0 欧电阻也有阻抗)，这点比磁珠强。

铜皮类似于 0ohm 电阻。

55、[问]如何避免布线时引入的噪声？

[答]数字地与模拟地要单点接地，否则数字地回流会流过模拟地对模拟电路造成干扰。

56、[问]PCB 如何预防 PWM 等突变信号对模拟信号(如运放)产生的干扰,又如何进行测试这种干扰(辐射干扰或传导干扰)的大小?除布局布线需要注意外,有无其他方法来进行抑制(除屏蔽的手段)?

[答]要从运放的几个接口入手，输入端要防止空间耦合干扰和 PCB 串扰（布局改善）；电源需要不同容值去耦电容。

测试可以用示波器的探头测试上面说的位置，判断出干扰从何而来。

PWM 信号如果是通过低通滤波变成直流控制电压的话，可以考虑就进做滤波，或者并联对地一个小电容，让 PWM 的波形变圆，减少高频分量

57、[问]请问，在电路板中，一个 ARM 或者 FPGA 经常会向外连接很多 RAM，FLAH 这样的器件，请问这些主芯片与这些存储器之间的连线需要注意什么，过孔的数目有什么限制么？数字信号中常用的过孔孔径大小是多少？过孔孔径的大小对信号的影响大么？

[答]如果速度大于 100MHz，则一根信号线上的过孔最好不要超过两个，过孔不能太小，一般，10 个 mil 的孔径即可。

58、[问]请问在布双面板（高频是）的时候，顶层地和底层地相连时的过孔也是越少越好吗？那么要怎么放过孔比较合理呢？

[答]过孔少是针对信号线，如果是地的过孔，适当的多一些会减少地回路和阻抗。放的原则是就进器件。

59、[问]LVDS 信号布线应该注意哪些？如何布线？

[答]平行等长

60、[问]请问数据线并行布线是不是为了相互干扰？

[答]并行走线要注意线与线的间距，防止串扰发生。

61、[问]在一块 4 层板，布有一整个采集系统，有模拟放大、数字采集、MCU。布好后，如何测量此系统的输入阻抗，如何做到系统的输入阻抗和传感器匹配，如何匹配，有没有相关的设计原则。

[答]不知道您的模拟信号的频率多高，如果不高则不需要阻抗匹配。阻抗匹配可以用一些仿真软件计算 PCB 的阻抗。例如 APPCAD。器件的阻抗可以通过手册查询。

62、[问]经常会看到 PCB 板上有很多地孔，这些地孔是越多越好吗？有什么规则吗？

[答]不是。要尽量减少过孔的使用，在不得不使用过孔时，也要考虑减少过孔对电路的影响

63、[问]在多层板布线的时候难免会有跨平面的现象。我们现在的做饭是在割平面时尽量优先照顾到差分线不跨平面。但有一次以为老师的说法是单端的不能跨，差分的反倒没那么严格。请教下老师对此的看法。

[答]单端和差分信号在跨越地平面后都得回流回去，如果回流绕很大圈才回去，一样会感应更多的干扰进来，如果差分线上的噪声一样，则会彼此抵消，所以是有一定道理的。

64、[问]在高速多层 PCB 设计时，数字地和模拟地怎么区分？是根据器件的数据手册中说明的进行连接吗？

[答]高速设计不用分数字地和模拟地。

65、[问]对 PCB 走线的熔断电流如何考虑？PCB 走线多大电流时会熔断，和哪些因素有关？

[答]参考 $0.15 \times \text{线宽}(\text{mm}) = \text{A}$ ，这时最大电流。设计时候不能用熔断电流做预算。这样就是铜线的截面积。

66、[问]请问，在信号输入输出接口和电源输入接口等方面需要做哪些保护？电源为 220V 输入转直流时，在实际应用时，需要采取哪些防护措施？

[答]TVS 管，保险丝这些在电源上是必须的。信号的话，看情况也得加 TVS 管，及二极管来保护模拟电路输入出现大电压的情况。

67、[问]见 PCB 板的布线折弯时有 45 度角和圆弧两种，有何优缺点，怎么选择？

[答]从阻抗匹配的角度，这两种线都可以做成匹配的弯角。但是圆角可能不好加工。

68、[问]在高频走线中如果尺寸受限，最常用的走线方法或者说合理的走线方法有那些？比如说蛇形走线，可以吗？

[答]不好，会引入更多寄生参数

69、[问]请问在使用仪表放大器时关键的输入型号，我在器件层其周围还有必要覆铜吗，我在器件的底层已经覆铜了。还有仪表放大器的反馈电阻我是用直插的，引线就长了，换成

贴片的电阻温漂和精度就达不到要求，请问该怎样处理。

[答]一般仪放芯片资料会有推荐的 Layout 的方法及图，可以参考。保证引线短和粗是必须的。选用贴片低精度的电阻还是直插高精度的电阻哪种好，得看具体调试的结果。

70、[问]PCB 软件可以自动布线，但器件的位置布局是不是得手动放置？

[答]最好布局布线都手动完成。

71、[问]在做 PCB 板制板时，PCB 选材有没有什么特殊的规定或是一般如何选材？我现在在制作高频信号电路板，请问您最好选择什么材质的 PCB 板较好？

[答]目前较多采用的高频电路板基材是氟系介质基板，如聚四氟乙烯(PTFE)，平时称为特氟龙，通常应用在 5GHz 以上。做板时跟 PCB 厂商说明即可。

72、[问]我是 PCB 设计的初学者，我想了解下去耦电容的选型规则是什么？还有值的大小怎么计算？

[答]一般情况，对于电源产生部分，要用 10u 和 0.1u 的电容去耦，要同时考虑高频和低频的去耦；对于其他原件一般都是用 0.1u 的电容在电源部分去耦。

73、[问]一个 5khz 的脉冲信号在板子上走 20cm 长，10mil 宽的走线之后，其衰减能达到多少呢？

[答]不同的材质的 PCB 的寄生参数不同，可以根据你使用的寄生参数建立模型来计算。

74、[问]在高频中走的微带线走线与地平面的距离有什么要求吗？比如说大于 1mm。还是没有太大的要求，只要差不多就可以了？还是要按共面波导计算？

[答]一定要用共面波导或者微带线的阻抗仿真计算。

75、[问]如何布线才能尽可能地降低线间高频信号的串扰？

[答]高频信号匹配好会减少反射，同样也会减少辐射。

76、[问]想请问在 DC-DC Convert IC，在 IC 下方需要连接到地平面，透过 Via 连接到地平面，Via 孔的数量多与少影响程度为何？。

[答]一般可以根据参考设计来设计。由于电流较大，可能需要一定数量的 Via。

77、[问] 阻抗匹配时，若引脚给出的阻抗值为复数，即既有阻抗部分又有电抗部分，这时阻抗匹配如何做？光考虑电阻部分吗？

[答]考虑共轭匹配，将阻抗的虚部抵消。

78、[问] 高频中集中参数和分布参数那种比较好？要怎么选择这两种方法比较合适呢？谢谢！

[答]分布方法，精度较高，但比较复杂；集总方式相对简化，但有一定误差。

79、[问] 双层板连接上下覆铜地的过孔分布有何要求？

[答]一般来讲只是为了提高连通性的话，应该对分别没有太多要求。

80、[问] 如何在中频应用中，如何平衡放大器输入端的寄生电感和寄生电容？

[答] 一般来讲寄生电感和电容对中频电路的影响较小，可以忽略。只要保证不引入大的寄生电容和电感值就行了

81、[问] 怎样能有效减少电路元件间的干扰影响，以及放大器如何布局才能最大限度的抑制纹波的引入？

[答] 减少干扰的原则是：

1. 减少辐射端；
 2. 加强被干扰的隔离、屏蔽和退偶；
- 纹波减少的原则也是，
1. 减少开关电源的纹波输出；
 2. 足够的退偶滤波；

82、[问] 6层设计时，层的分配技巧，那些走线要走中间层？

[答] 看你的设计了。原则是保证模拟信号线和模拟地有单独两层。

83、[问] 在模拟地和数字地相连时，采用的方法是否在数字地处接一个合适的磁珠到模拟地？那这个磁珠要怎么选呢？谢谢！

[答] 磁珠主要是起到隔离高频噪声的作用，不同的磁珠滤波频率不同，所以要根据板上噪声的情况来选择合适的器件。

84、[问] 请问对于高于 5G 以上的讯号布局有何要注意的地方？

[答] 既要考虑传输线效应，又要考虑寄生效应，还有 EMI 的问题。

85、[问] 电路中有高速逻辑器件时，最大布线长度为多大？

[答] 布线不怕长，就怕不对称或者有比较大的差，这样容易因为时延造成错误的逻辑

86、[问] 在高速数字电路板中，有多个不同电压值的电源，铺电源平面时应该尽量采用多层电源平面还是同一层电源平面上分开布置好？

[答] 可以在一个平面上多个电压，注意之间隔离开。也可以把最重要的电源单独走一层，这样保证它不受其他电源干扰。

87、[问] 在走差分线的时候由于空间限制，不能完全等距等长，请问是等距优先还是等长优先？

[答] 等长可以保证阻抗匹配，但是不等距实际上对差分匹配也有影响，需要仿真测试。

88、[问] 在 PCB 布局中，如何减少电磁干扰？另外哪些模块应该距离主控制芯片近一点？谢谢！

[答] 对于主控制器，主要传输数字信号，所以模拟和电源部分应远离控制器；对于减小电磁干扰，需要注意匹配，去耦，布局布线，分层等问题，建议参考一些资料。

89、[问] 考虑信号完整性时，如果只知道数字芯片的频率是 1GHZ，一般会估算他的上升时间是周期的 1/10，即 0.1ns。有何依据吗？

[答] 这是一个一般性原则，沿的速度取决于器件输出口的速度。如果太慢会影响判决。再快了芯片工艺达不到了。

90、[问] 你好，请问 ARM 芯片提高电源的抗干扰，除了在电源输入端接入 TVS 管之外，电源输入端的输入脚要接电感比较好，还是磁珠比较好

[答] 一般会使用磁珠。

91、[问] 你好，pcb 板在线能不能仿真一下，也就是怎么验证下板子有没有问题，谢谢？

[答] 有些 PCB 软件可以做一些走线检查和完整性分析，例如 CADENCE

92、[问] 在 pcb 布线时有些人在信号的输入输出端串一个电阻进行端接，这个作用大吗？要如何选择这个电阻呢？那些地方需要这样做呢？谢谢！

[答] 这要看串联电阻的作用，有的是起到限流作用的，有的可能是做阻抗匹配。

93、[问] 对影响电源的高速脉冲串有什么好的抑制方案或者成比较系统的处理方法吗？

[答] 您所谓的高速脉冲串，无非就是不同频率的干扰信号，采用不同值的电容退偶。

94、[问] 高速 PCB 对板材有什么特殊要求没有？

[答] 高频电路对 PCB 材料有要求。在高频下要考虑传输线效应

95、[问] 关于信号线的阻抗匹配，请作点介绍和作法？

[答] 频率较低场合，需要考虑信号线的宽度和电流的承载能力的关系，高频时，需要考虑匹配等长等问题。

96、[问] 高频信号线的抗干扰措施有哪些？布线时应注意哪些方面？

[答] 这个问题比较宽泛，很难一两句话说清楚。有很多相关资料可以参考。这里有篇文章可以看一下 http://www.pcbinf.com/Technology/pcb_730.htm

97、[问] 为什么高速信号不用分数字和模拟地？

[答] 因为驱动器端可以调整输出相位差，PCB 布局好了再调整就很难了，接收端直接输入了，无法调整。

98、[问] 关于差分线的等长补偿，您为何就直接建议在驱动器端补偿呢？能解释一下吗？EricBogatin 的书中也只是给出结论，但无解释。

[答] 驱动端有些芯片有调整功能，PCB 线设计好不容易改了，接受端直接输入一般都没有时延调整的功能。

99、[问] 在高频选用制板材料时，介电常数是不是越小越好呢？谢谢！

[答] 意味着寄生电容小，然而对于信号线特征阻抗的设计时对介电常数是有要求的，不能一概而论。

100、[问] 多大频率的晶振要考虑 MCU 与晶振间的走线方式？

[答] 晶振与 MCU 应尽量靠近，用最直的直线连接。

101、[问] 开关电源过来的直流电上面带有 100mv 左右的噪声，应该如何有效地滤除？

[答] 可以考虑加一级调制器 LDO 产品稳定电源，或者考虑适当的去耦电容滤除纹波。

102、[问] 模拟电源是否也可以铺平面，是否和地的作用相同？

[答] 电源当然可以铺平面。若不能铺平面，电源线要尽量粗。

103、[问] 请问专家，两层电路板的覆铜，什么时候选择两面均覆，什么时候仅选择一面覆铜呢？

[答] 如果能保证一面是全地平面的话，可以只铺一层。

104、[问] 请问在高频（1GHz 以上）板的设计中，过孔的大小及过孔间距有什么要求？阻抗匹配时需要考虑到的因素有哪些？板材需要注意么？差分走线与地平面的距离有什么注意事项？

[答] 如何需要综合考虑以上指标，建议做整体的电路仿真和调试，寄生效应会影响仿真效果，需要进行反复验证和尝试。

敷铜的 9 个注意点

所谓覆铜，就是将 PCB 上闲置的空间作为基准面，然后用固体铜填充，这些铜区又称为灌铜。敷铜的意义在于，减小地线阻抗，提高抗干扰能力；降低压降，提高电源效率；与地线相连，还可以减小环路面积。

敷铜方面需要注意那些问题：

1. 如果 PCB 的地较多，有 SGND、AGND、GND，等等，就要根据 PCB 板面位置的不同，分别以最主要的“地”作为基准参考来独立覆铜，数字地和模拟地分开来敷铜自不多言，同时在覆铜之前，首先加粗相应的电源连线：5.0V、3.3V 等等，这样一来，就形成了多个不同形状的多变形结构。

2. 对不同地的单点连接，做法是通过 0 欧电阻磁珠有很高的电阻率和磁导率，他等效于电阻和电感串联，但电阻值和电感值都随频率变化。他比普通的电感有更好的高频滤波特性，在高频时呈现阻性，所以能在相当宽的频率范围内保持较高的阻抗，从而提高调频滤波效果。作为电源滤波，可以使用电感。磁珠的电路符号就是电感但是型号上可以看出使用的是磁珠在电路功能上，磁珠和电感是原理相同的，只是频率特性不同罢了，磁珠由氧磁体组成，电感器由磁心和线圈组成，磁珠把交流信号转化为热能，电感把交流存储起来，缓慢的释放出去。磁珠对高频信号才有较大阻碍作用，一般规格有 100 欧/100mMHZ，它在低频时电阻比电感小得多。

3. 晶振：电路中的晶振为一高频发射源，做法是在环绕晶振敷铜，然后将晶振的外壳另行接地。

4. 孤岛（死区）问题，如果觉得很大，那就定义个地过孔添加进去也费不了多大的事。

5. 在开始布线时，应对地线一视同仁，走线的时候就应该把地线走好，不能依靠于铜后通过添加过孔来消除为连接的地引脚，这样的效果很不好。

6. 在板子上最好不要有尖的角出现（ $\angle=180$ 度），因为从电磁学的角度来讲，这就构成的一个发射天线！对于其他总会有一影响的只不过是大小而已，我建议使用圆弧的边沿线。

7. 多层板中间层的布线空旷区域，不要敷铜。因为你很难做到让这个敷铜“良好接地”

8. 设备内部的金属，例如金属散热器、金属加固条等，一定要实现“良好接地”。

9. 三端稳压器的回流面积，减小信号对外的电磁干扰。