在高速数字系统中，由于脉冲上升/下降时间通常在10到几百p秒，当受到诸如内连、传输时延和电源噪声等因素的影响，从而造成脉冲信号失真的现象；
在自然界中，存在着各种各样频率的微波和电磁干扰源，可能由于很小的差异导致高速系统设计的失败； 在电子产品向高密和高速电路设计方向发展的今天，解决一系列信号完整性的问题，成为当前每一个电子设计者所必须面对的问题。业界通常会采用在PCB制板前期，通过信号完整性分析工具尽可能将设计风险降到最低，从而也大大促进了EDA设计工具的发展……
信号完整性（Signal Integrity，简称SI）问题是指高速数字电路中，脉冲形状畸变而引发的信号失真问题，通常由传输线不阻抗匹配产生的问题。而影响阻抗匹配的因素包括信号源的架构、输出阻抗(output impedance)、走线的特性阻抗、负载端的特性、走线的拓朴(topology)架构等。解决的方式可以采用端接(termination)与调整走线拓朴的策略。
信号完整性问题通常不是由某个单一 因素导致的，而是板级设计中多种因素共同作用的结果。信号完整性问题主要表现形式包括信号反射、信号振铃、地弹、串扰等；

1，Altium Designer信号完整性分析（机理、模型、功能）

在Altium Designer设计环境下，您既可以在原理图又可以在PCB编辑器内实现信号完整性分析，并且能以波形的方式在图形界面下给出反射和串扰的分析结果。
Altium Designer的信号完整性分析采用IC器件的IBIS模型，通过对版图内信号线路的阻抗计算，得到信号响应和失真等仿真数据来检查设计信号的可靠性。Altium Designer的信号完整性分析工具可以支持包括差分对信号在内的高速电路信号完整性分析功能。
Altium Designer仿真参数通过一个简单直观的对话框进行配置，通过使用集成的波形观察仪，实现图形显示仿真结果，而且波形观察仪可以同时显示多个仿真数据图像。并且可以直接在标绘的波形上进行测量，输出结果数据还可供进一步分析之用。
Altium Designer提供的集成器件库包含了大量的的器件IBIS模型，用户可以对器件添加器件的IBIS模型，也可以从外部导入与器件相关联的IBIS模型，选择从器件厂商那里得到的IBIS 模型。
Altium Designer的SI功能包含了布线前（即原理图设计阶段）及布线后（PCB版图设计阶段）两部分SI分析功能；采用成熟的传输线计算方法，以及I/O缓冲宏模型进行仿真。基于快速反射和串扰模型，信号完整性分析器使用完全可靠的算法，从而能够产生出准确的仿真结果。布线前的阻抗特征计算和信号反射的信号完整性分析，用户可以在原理图环境下运行SI仿真功能，对电路潜在的信号完整性问题进行分析，如阻抗不匹配等因素。
更全面的信号完整性分析是在布线后PCB版图上完成的，它不仅能对传输线阻抗、信号反射和信号间串扰等多种设计中存在的信号完整性问题以图形的方式进行分析，而且还能利用规则检查发现信号完整性问题，同时，Altium Designer还提供一些有效的终端选项，来帮助您选择最好的解决方案。

2，分析设置需求
在PCB编辑环境下进行信号完整性分析。

* 为了得到精确的结果，在运行信号完整性分析之前需要完成以下步骤：
* 1、电路中需要至少一块集成电路，因为集成电路的管脚可以作为激励源输出到被分析的网络上。像电阻、电容、电感等被动元件，如果没有源的驱动，是无法给出仿真结果的。
* 2、针对每个元件的信号完整性模型必须正确。
* 3、在规则中必须设定电源网络和地网络，具体操作见本文。
* 4、设定激励源。
* 5、用于PCB的层堆栈必须设置正确，电源平面必须连续，分割电源平面将无法得到正确分析结果，另外，要正确设置所有层的厚度。

3，操作流程
**a .布线前（即原理图设计阶段）SI分析概述**
用户如需对项目原理图设计进行SI仿真分析， Altium Designer要求必须建立一个工程项目名称。在原理图SI分析中，系统将采用在SI Setup Option对话框设置的传输线平均线长和特征阻抗值；仿真器也将直接采用规则设置中信号完整性规则约束，如激励源和供电网络等，同时，允许用户直接在原理图编辑环境下放置PCB Layout图标，直接对原理图内网络定义规则约束。
当建立了必要的仿真模型后，在原理图编辑环境的菜单中选择Tools -> Signal Integrity命令，运行仿真。
**b .布线后（即PCB版图设计阶段）SI分析概述**
用户如需对项目PCB版图设计进行SI仿真分析， Altium Designer要求必须在项目工程中建立相关的原理图设计。此时，当用户在任何一个原理图文档下运行SI分析功能将与PCB版图设计下允许SI分析功能得到相同的结果。
当建立了必要的仿真模型后，在PCB编辑环境的菜单中选择Tools -> Signal Integrity命令，运行仿真。

4，操作实例：
1） 在Altium Designer的Protel设计环境下，选择File\Open Project,选择安装目录下 \Examples\Reference Design\4 Port Serial Interface\4 Port Serial Interface.Prjpcb，进入PCB编辑环境，如下图1.

图1 在PCB 文件中进行SI分析
选择Design/Layer Stack Manager…，配置好相应的层后，选择Impedance Calculation…，配置板材的相应参数如下图2所示，本例中为缺省值。

图2 配置板材的相应参数
选择Design/Rules选项，在Signal Integrity一栏设置相应的参数，如下图3所示。首先设置Signal Stimulus（信号激励），右键点击Signal Stimulus，选择New rule，在新出现的Signal Stimulus界面下设置相应的参数，本例为缺省值。


图3 设置信号激励\*
接下来设置电源和地网络，右键点击Supply Net，选择New Rule，在新出现的Supplynets界面下，将GND网络的Voltage设置为0如图4 所示，按相同方法再添加Rule，将VCC 网络的 Voltage设置为5。其余的参数按实际需要进行设置。最后点击OK推出。


图4设置电源和地网络\*
选择Tools\Signal Integrity…，在弹出的窗口中(图5)选择Model Assignments…，就会进入模型配置的界面（图6）。


图 5

图 6
在图6 所示的模型配置界面下，能够看到每个器件所对应的信号完整性模型，并且每个器件都有相应的状态与之对应，关于这些状态的解释见图7：


图 7

* 修改器件模型的步骤如下：\*
* 双击需要修改模型的器件（U1）的Status部分，弹出相应的窗口如图8
* 在Type选项中选择器件的类型
* 在Technology选项中选择相应的驱动类型
* 也可以从外部导入与器件相关联的IBIS模型，点击 Import IBIS，选择从器件厂商那里得到的IBIS 模型即可
* 模型设置完成后选择OK，退出


图 8

2）在图6所示的窗口，选择左下角的Update Models in Schematic，将修改后的模型更新到原理图中。
3）在图6所示的窗口，选择右下角的Analyze Design…，在弹出的窗口中（图10）保留缺省值，然后点击Analyze Design选项，系统开始进行分析。
4）图11为分析后的网络状态窗口，通过此窗口中左侧部分可以看到网络是否通过了相应的规则，如过冲幅度等，通过右侧的设置，可以以图形的方式显示过冲和串扰结果。

选择左侧其中一个网络TXB，右键点击，在下拉菜单中选择Details…，在弹出的如图12所示的窗口中可以看到针对此网络分析的详细信息。


图10

图11

图12
5）下面以图形的方式进行反射分析，双击需要分析的网络TXB，将其导入到窗口的右侧如图13所示。


图13

* \*选择窗13口右下角的Reflections…，反射分析的波形结果将会显示出来如图14


图14

* 右键点击TXB\_U1.13\_NoTerm,如图15在弹出的列表中选择Cursor A和Cursor B，然后可以利用它们来测量确切的参数。测量结果在Sim Data窗口如图16所示。


图15

图16
6）返回到图11所示的界面下，窗口右侧给出了几种端接的策略来减小反射所带来的影响，选择Serial Res如图18所示，将最小值和最大值分别设置为25和125，选中Perform Sweep选项，在Sweep steps选项中填入10，然后，选择Reflections…，将会得到如图19所示的分析波形。选择一个满足需求的波形，能够看到此波形所对应的阻值如图17，最后根据此阻值选择一个比较合适的电阻串接在PCB中相应的网络上即可。\*

图17

图18

图19
7）接下来进行串扰分析，重新返回到如图11所示的界面下，双击网络RTSB将其导入到右面的窗口，然后右键单击TXB，在弹出菜单中选择Set Aggressor设置干扰源，如图20所示，结果如图21。

图20

图21

* 然后，选择图20 右下角的Crosstalk…，就会得到串扰得分析波形，如图22所示。


图22串扰波形