

印制电路板（PCB）设计规范

VER 1.0

前 言

本标准根据国家标准印制电路板设计和使用 等标准编制而成。

本标准于 日首次发布。

本标准起草单位：

本标准主要起草人：

本标准批准人：

目 录

目录

1 适用范围	4
2 引用标准	4
3 术语	4
4 目的	2
4.1 提供必须遵循的规则和约定	2
4.2 提高PCB设计质量和设计效率	2
5 设计任务受理	2
5.1 PCB设计申请流程	2
5.2 理解设计要求并制定设计计划	2
6 设计过程	2
6.1 创建网络表	2
6.2 布局	3
6.3 设置布线约束条件	4
6.4 布线前仿真（布局评估，待扩充）	8
6.5 布线	8
6.6 后仿真及设计优化（待补充）	15
6.7 工艺设计要求	15
7 设计评审	15
7.1 评审流程	15
7.2 自检项目	15
附录1： 传输线特性阻抗	
附录2： PCB设计作业流程	

印制电路板（PCB）设计规范

1. 适用范围

本《规范》适用于公司CAD设计的所有印制电路板（简称PCB）。

2. 引用标准

下列标准包含的条文，通过在本标准中引用而构成本标准的条文。在标准出版时，所示版本均为有效。所有标准都会被修订，使用本标准的各方应探讨，使用下列标准最新版本的可能性。

GB 4588.3—88 印制电路板设计和使用

Q/DKBA-Y001-1999 印制电路板CAD工艺设计规范

3. 术语

3.1 PCB（Print circuit Board）：印刷电路板。

3.2 原理图：电路原理图，用原理图设计工具绘制的、表达硬件电路中各种器件之间的连接关系的图。

3.3 网络表：由原理图设计工具自动生成的、表达元器件电气连接关系的文本文件，一般包含元器件封装、网络列表和属性定义等组成部分。

3.4 布局：PCB设计过程中，按照设计要求，把元器件放置到板上的过程。

3.5 仿真：在器件的IBIS MODEL或SPICE MODEL支持下，利用EDA设计工具对PCB的布局、布线效果进行仿真分析，从而在单板的物理实现之前发现设计中存在的EMC问题、时序问题和信号完整性问题，并找出适当的解决方案。

4. 目的

- 4.1 本规范归定了我司PCB设计的流程和设计原则，主要目的是为PCB设计者提供必须遵循的规则和约定。
- 4.2 提高PCB设计质量和设计效率。
提高PCB的可生产性、可测试、可维护性。

5. 设计任务受理

5.1 PCB设计申请流程

当硬件项目人员需要进行PCB设计时，须在《PCB设计投板申请表》中提出投板申请，并经其项目经理和计划处批准后，流程状态到达指定的PCB设计部门审批，此时硬件项目人员须准备好以下资料：

经过评审的，完全正确的原理图，包括纸面文件和电子件；

带有MRPII元件编码的正式的BOM；

PCB结构图，应标明外形尺寸、安装孔大小及定位尺寸、接插件定位尺寸、禁止布线区等相关尺寸；

对于新器件，即无MRPII编码的器件，需要提供封装资料；

以上资料经指定的PCB设计部门审批合格并指定PCB设计者后方可开始PCB设计。

5.2 理解设计要求并制定设计计划

- 5.2.1 仔细审读原理图，理解电路的工作条件。如模拟电路的工作频率，数字电路的工作速度与布线要求相关的要素。理解电路的基本功能、在系统中的作用等相关问题。
- 5.2.2 在与原理图设计者充分交流的基础上，确认板上的关键网络，如电源、时钟、高速总线等，了解其布线要求。理解板上的高速器件及其布线要求。
- 5.2.3 根据《硬件原理图设计规范》的要求，对原理图进行规范性审查。
- 5.2.4 对于原理图中不符合硬件原理图设计规范的地方，要明确指出，并积极协助原理图设计者进行修改。
- 5.2.5 在与原理图设计者交流的基础上制定出单板的PCB设计计划，填写设计记录表，计划要包含设计过程中原理图输入、布局完成、布线完成、信号完整性分析、光绘完成等关键检查点的时间要求。设计计划应由PCB设计者和原理图设计者双方签字认可。
- 5.2.6 必要时，设计计划应征得上级主管的批准。

6. 设计过程

6.1 创建网络表

- 6.1.1 网络表是原理图与PCB的接口文件，PCB设计人员应根据所用的原理图和PCB设计工具的特性，选用正确的网络表格式，创建符合要求的网络表。
- 6.1.2 创建网络表的过程中，应根据原理图设计工具的特性，积极协助原理图设计者排除错误。保证网络表的正确性和完整性。

6.1.3 确定器件的封装（PCB FOOTPRINT）。

6.1.4 创建PCB板

根据单板结构图或对应的标准板框, 创建PCB设计文件;

注意正确选定单板坐标原点的位置, 原点的设置原则:

A. 单板左边和下边的延长线交汇点。

B. 单板左下角的第一个焊盘。

板框四周倒圆角, 倒角半径5mm。特殊情况参考结构设计要求。

6.2 布局

6.2.1 根据结构图设置板框尺寸, 按结构要素布置安装孔、接插件等需要定位的器件, 并给这些器件赋予不可移动属性。按工艺设计规范的要求进行尺寸标注。

6.2.2 根据结构图和生产加工时所须的夹持边设置印制板的禁止布线区、禁止布局区域。根据某些元件的特殊要求, 设置禁止布线区。

6.2.3 综合考虑PCB性能和加工的效率选择加工流程。

加工工艺的优选顺序为: 元件面单面贴装——元件面贴、插混装(元件面插装焊接面贴装一次波峰成型)——双面贴装——元件面贴插混装、焊接面贴装。

6.2.4 布局操作的基本原则

A. 遵照“先大后小, 先难后易”的布置原则, 即重要的单元电路、核心元器件应当优先布局。

B. 布局中应参考原理框图, 根据单板的主信号流向规律安排主要元器件。

C. 布局应尽量满足以下要求:总的连线尽可能短, 关键信号线最短;高电压、大电流信号与小电流, 低电压的弱信号完全分开;模拟信号与数字信号分开; 高频信号与低频信号分开; 高频元器件的间隔要充分。

D. 相同结构电路部分, 尽可能采用“对称式”标准布局;

E. 按照均匀分布、重心平衡、版面美观的标准优化布局;

F. 器件布局栅格的设置, 一般IC器件布局时, 栅格应为50--100 mil,小型表面安装器件, 如表面贴装元件布局时, 栅格设置应不少于25mil。

G. 如有特殊布局要求, 应双方沟通后确定。

6.2.5 同类型插装元器件在X或Y方向上应朝一个方向放置。同一种类型的有极性分立元件也要力争在X或Y方向上保持一致, 便于生产和检验。

6.2.6 发热元件要一般应均匀分布, 以利于单板和整机的散热, 除温度检测元件以外的温度敏感器件应远离发热量大的元器件。

6.2.7 元器件的排列要便于调试和维修, 亦即小元件周围不能放置大元件、需调试的元、器件周围要有足够的空间。

6.2.8 需用波峰焊工艺生产的单板, 其紧固件安装孔和定位孔都应为非金属化孔。当安装孔需要接地时, 应采用分布接地小孔的方式与地平面连接。

6.2.9 焊接面的贴装元件采用波峰焊接生产工艺时，阻、容件轴向要与波峰焊传送方向垂直，阻排及SOP（PIN间距大于等于1.27mm）元器件轴向与传送方向平行；PIN间距小于1.27mm（50mil）的IC、SOJ、PLCC、QFP等有源元件避免用波峰焊焊接。

6.2.10 BGA与相邻元件的距离>5mm。其它贴片元件相互间的距离>0.7mm；贴装元件焊盘的外侧与相邻插装元件的外侧距离大于2mm；有压接件的PCB，压接的接插件周围5mm内不能有插装元、器件，在焊接面其周围5mm内也不能有贴装元、器件。

6.2.11 IC去偶电容的布局要尽量靠近IC的电源管脚，并使之与电源和地之间形成的回路最短。

6.2.12 元件布局时，应适当考虑使用同一种电源的器件尽量放在一起，以便于将来的电源分隔。

6.2.13 用于阻抗匹配目的阻容器件的布局，要根据其属性合理布置。

串联匹配电阻的布局要靠近该信号的驱动端，距离一般不超过500mil。

匹配电阻、电容的布局一定要分清信号的源端与终端，对于多负载的终端匹配一定要在信号的最远端匹配。

6.2.14 布局完成后打印出装配图供原理图设计者检查器件封装的正确性，并且确认单板、背板和接插件的信号对应关系，经确认无误后方可开始布线。

6.3 设置布线约束条件

6.3.1 报告设计参数

布局基本确定后，应用PCB设计工具的统计功能，报告网络数量，网络密度，平均管脚密度等基本参数，以便确定所需要的信号布线层数。

信号层数的确定可参考以下经验数据

Pin密度	信号层数	板层数
1.0以上	2	2
0.6-1.0	2	4
0.4-0.6	4	6
0.3-0.4	6	8
0.2-0.3	8	12
<0.2	10	>14

注：PIN密度的定义为：板面积（平方英寸）/（板上管脚总数/14）

布线层数的具体确定还要考虑单板的可靠性要求，信号的工作速度，制造成本和交货期等因素。

6.3.2 布线层设置

在高速数字电路设计中，电源与地层应尽量靠在一起，中间不安排布线。所有布线层都尽量靠近一平面层，优选地平面为走线隔离层。

为了减少层间信号的电磁干扰，相邻布线层的信号线走向应取垂直方向。

可以根据需要设计1--2个阻抗控制层，如果需要更多的阻抗控制层需要与PCB产家协商。阻抗控制层要按要求标注清楚。将单板上阻抗控制要求的网络布线分布在阻抗控制层上。

6.3.3 线宽和线间距的设置

线宽和线间距的设置要考虑的因素

- A. 单板的密度。板的密度越高，倾向于使用更细的线宽和更窄的间隙。
- B. 信号的电流强度。当信号的平均电流较大时，应考虑布线宽度所能承载的的电流，线宽可参考以下数据：

PCB设计时铜箔厚度,走线宽度和电流的关系

不同厚度，不同宽度的铜箔的载流量见下表：

铜皮厚度35um 铜皮 $\Delta t=10^{\circ}\text{C}$			铜皮厚度50um 铜皮 $\Delta t=10^{\circ}\text{C}$			铜皮厚度70um 铜皮 $\Delta t=10^{\circ}\text{C}$	
宽度 mm	电流 A		宽度 mm	电流 A		宽度 mm	电 流 A
0.15	0.20		0.15	0.50		0.15	0.70
0.20	0.55		0.20	0.70		0.20	0.90
0.30	0.80		0.30	1.10		0.30	1.30
0.40	1.10		0.40	1.35		0.40	1.70
0.50	1.35		0.50	1.70		0.50	2.00
0.60	1.60		0.60	1.90		0.60	2.30
0.80	2.00		0.80	2.40		0.80	2.80
1.00	2.30		1.00	2.60		1.00	3.20
1.20	2.70		1.20	3.00		1.20	3.60
1.50	3.20		1.50	3.50		1.50	4.20
2.00	4.00		2.00	4.30		2.00	5.10
2.50	4.50		2.50	5.10		2.50	6.00

注：

- i. 用铜皮作导线通过大电流时，铜箔宽度的载流量应参考表中的数值降额50%去选择考虑。
 - ii. 在PCB设计加工中，常用OZ（盎司）作为铜皮厚度的单位，1 OZ铜厚的定义为1平方英尺面积内铜箔的重量为一盎司，对应的物理厚度为35um；2OZ铜厚为70um。
- C. 电路工作电压：线间距的设置应考虑其介电强度。

输入150V-300V电源最小空气间隙及爬电距离

一次侧				二次侧			
线与保护地间距 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	线与保护地间距 mm
4.0	50V	1.0	1.2	71V	0.7	1.2	2.0
	150V	1.4	1.6	125V	0.7	1.5	
	200V		2.0	150V	0.7	1.6	
	250V		2.5	200V	0.7	2.0	
	300V	1.7	3.2	250V	0.7	2.5	
	400V		4.0				
	600V	3.0	6.3				

输入300V-600V电源最小空气间隙及爬电距离

一次侧				二次侧			
线与保护地间距 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	线与保护地间距 mm
6.3	50V		1.2	71V		1.2	2.5
	150V		1.6	125V		1.5	
	200V	2.0	2.0	150V	1.7	1.6	
	250V	2.0	2.5	200V	1.7	2.0	
	300V	2.5	3.2	250V	1.7	2.5	
	400V	3.5	4.0				
	600V	5.8	6.3				

D. 可靠性要求。可靠性要求高时，倾向于使用较宽的布线和较大的间距。

E. PCB加工技术限制

	国内	国际先进水平
推荐使用最小线宽/间距	6mil/6mil	4mil/4mil
极限最小线宽/间距	4mil/6mil	2mil/2mil

6.3.4 孔的设置

过线孔

制成板的最小孔径定义取决于板厚度，板厚孔径比应小于 5--8。

孔径优选系列如下：

孔径：	24mil 20mil 16mil 12mil 8mil
焊盘直径：	40mil 35mil 28mil 25mil 20mil
内层热焊盘尺寸：	50mil 45mil 40mil 35mil 30mil

板厚度与最小孔径的关系:

板厚:	3.0mm	2.5mm	2.0mm	1.6mm	1.0mm
最小孔径:	24mil	20mil	16mil	12mil	8mil

盲孔和埋孔

盲孔是连接表层和内层而不贯通整板的导通孔，埋孔是连接内层之间而在成品板表层不可见的导通孔，这两类过孔尺寸设置可参考过线孔。

应用盲孔和埋孔设计时应应对PCB加工流程有充分的认识，避免给PCB加工带来不必要的问题，必要时要与PCB供应商协商。

测试孔

测试孔是指用于ICT测试目的的过孔，可以兼做导通孔，原则上孔径不限，焊盘直径应不小于25mil，测试孔之间中心距不小于50mil。

不推荐用元件焊接孔作为测试孔。

6.3.5 特殊布线区间的设定

特殊布线区间是指单板上某些特殊区域需要用到不同于一般设置的布线参数，如某些高密度器件需要用到较细的线宽、较小的间距和较小的过孔等，或某些网络的布线参数的调整等，需要在布线前加以确认和设置。

6.3.6 定义和分割平面层

- A. 平面层一般用于电路的电源和地层（参考层），由于电路中可能用到不同的电源和地层，需要对电源层和地层进行分隔，其分隔宽度要考虑不同电源之间的电位差，电位差大于12V时，分隔宽度为50mil，反之，可选20--25mil。
- B. 平面分隔要考虑高速信号回流路径的完整性。
- C. 当由于高速信号的回流路径遭到破坏时，应当在其他布线层给予补偿。例如可用接地的铜箔将该信号网络包围，以提供信号的地回路。

6.4 布线前仿真（布局评估，待扩充）

6.5 布线

6.5.1 布线优先次序

关键信号线优先：电源、模拟小信号、高速信号、时钟信号和同步信号等关键信号优先布线

密度优先原则：从单板上连接关系最复杂的器件着手布线。从单板上连线最密集的区域开始布线。

6.5.2 自动布线

在布线质量满足设计要求的情况下，可使用自动布线器以提高工作效率，在自动布线前应完成以下准备工作：

自动布线控制文件(do file)

为了更好地控制布线质量，一般在运行前要详细定义布线规则，这些规则可以在软件的图形界面内进行定义，但软件提供了更好的控制方法，即针对设计情况，写出自动布线控制文件（do file),软件在该文件控制下运行。

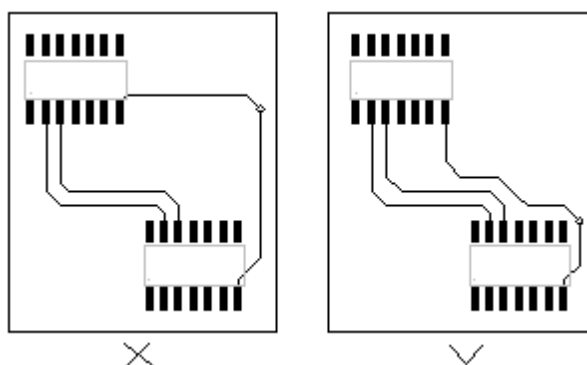
6.5.3 尽量为时钟信号、高频信号、敏感信号等关键信号提供专门的布线层，并保证其最小的回路面积。必要时应采取手工优先布线、屏蔽和加大安全间距等方法。保证信号质量。

6.5.4 电源层和地层之间的EMC环境较差，应避免布置对干扰敏感的信号。

6.5.5 有阻抗控制要求的网络应布置在阻抗控制层上。

6.5.6 进行PCB设计时应该遵循的规则

1) 地线回路规则：



环路最小规则，即信号线与其回路构成的环面积要尽可能小，环面积越小，对外的辐射越少，接收外界的干扰也越小。针对这一规则，在地平面分割时，要考虑到地平面与重要信号走线的分布，防止由于地平面开槽等带来的问题；在双层板设计中，在为电源留下足够空间的情况下，应该将留下的部分用参考地填充，且增加一些必要的孔，将双面地信号有效连接起来，对一些关键信号尽量采用地线隔离，对一些频率较高的设计，需特别考虑其地平面信号回路问题，建议采用多层板为宜。

2) 串扰控制

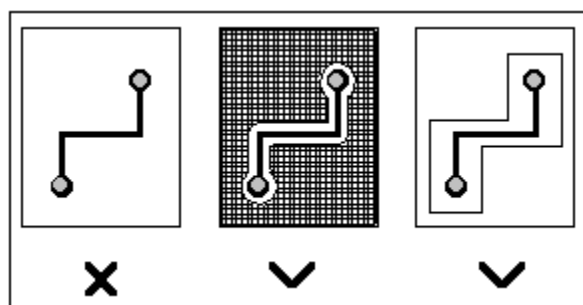
串扰（CrossTalk)是指PCB上不同网络之间因较长的平行布线引起的相互干扰，主要是由于平行线间的分布电容和分布电感的作用。克服串扰的主要措施是：

加大平行布线的间距，遵循3W规则。

在平行线间插入接地的隔离线。

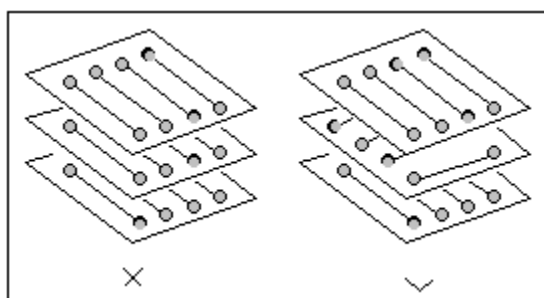
减小布线层与地平面的距离。

3) 屏蔽保护



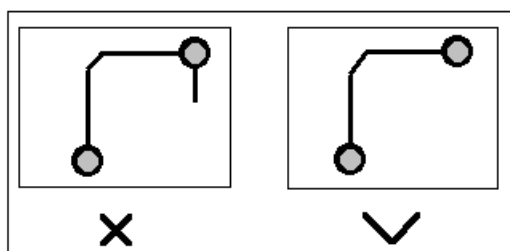
对应地线回路规则，实际上也是为了尽量减小信号的回路面积，多见于一些比较重要的信号，如时钟信号，同步信号；对一些特别重要，频率特别高的信号，应该考虑采用铜轴电缆屏蔽结构设计，即将所布的线上下左右用地线隔离，而且还要考虑好如何有效的让屏蔽地与实际地平面有效结合。

4) 走线的方向控制规则：



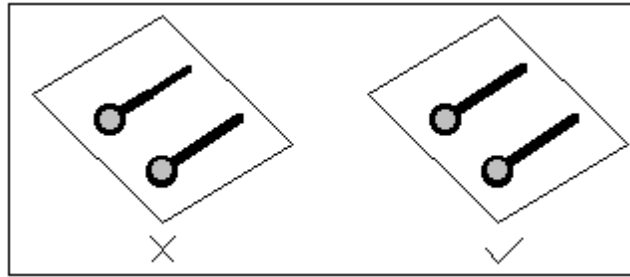
即相邻层的走线方向成正交结构。避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰；当由于板结构限制（如某些背板）难以避免出现该情况，特别是信号速率较高时，应考虑用地平面隔离各布线层，用地信号线隔离各信号线。

5) 走线的开环检查规则：



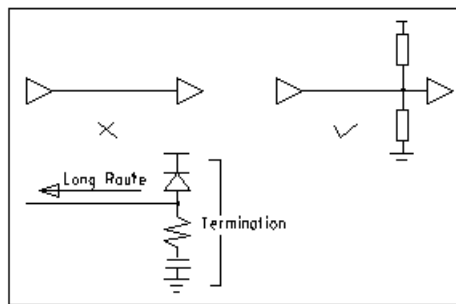
一般不允许出现一端浮空的布线（Dangling Line），主要是为了避免产生“天线效应”，减少不必要的干扰辐射和接受，否则可能带来不可预知的结果。

6) 阻抗匹配检查规则:



同一网络的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，当传输的速度较高时会产生反射，在设计中应该尽量避免这种情况。在某些条件下，如接插件引出线，BGA封装的引出线类似的结构时，可能无法避免线宽的变化，应该尽量减少中间不一致部分的有效长度。

7) 走线终结网络规则:



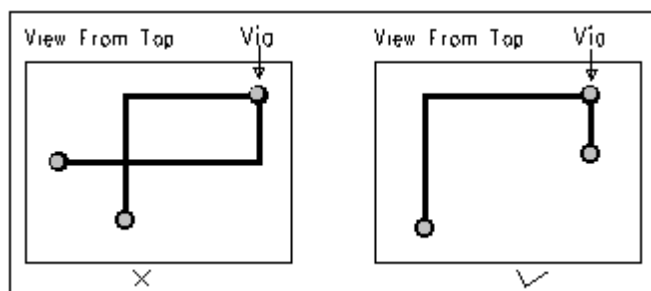
在高速数字电路中，当PCB布线的延迟时间大于信号上升时间（或下降时间）的1/4时，该布线即可以看成传输线，为了保证信号的输入和输出阻抗与传输线的阻抗正确匹配，可以采用多种形式的匹配方法，所选择的匹配方法与网络的连接方式和布线的拓扑结构有关。

A. 对于点对点（一个输出对应一个输入）连接，可以选择始端串联匹配或终端并联匹配。前者结构简单，成本低，但延迟较大。后者匹配效果好，但结构复杂，成本较高。

B. 对于点对多点（一个输出对应多个输出）连接，当网络的拓扑结构为菊花链时，应选择终端并联匹配。当网络为星型结构时，可以参考点对点结构。

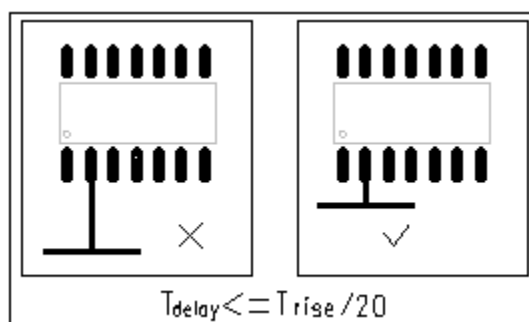
星形和菊花链为两种基本的拓扑结构，其他结构可看成基本结构的变形，可采取一些灵活措施进行匹配。在实际操作中要兼顾成本、功耗和性能等因素，一般不追求完全匹配，只要将失配引起的反射等干扰限制在可接受的范围即可。

8) 走线闭环检查规则:



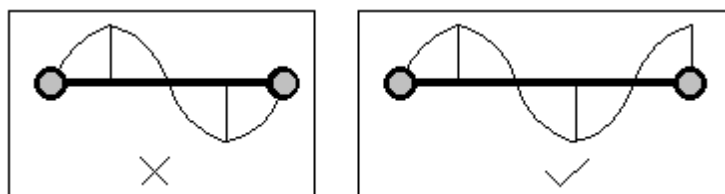
防止信号线在不同层间形成自环。在多层板设计中容易发生此类问题，自环将引起辐射干扰。

9) 走线的分枝长度控制规则：



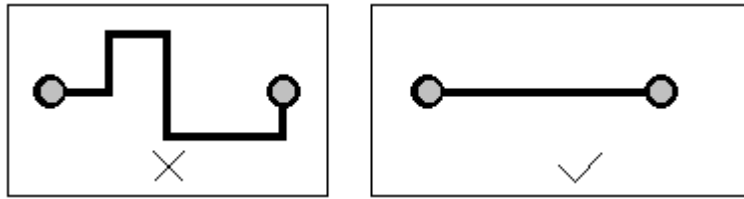
尽量控制分枝的长度，一般的要求是 $T_{delay} \leq T_{rise} / 20$ 。

10) 走线的谐振规则：



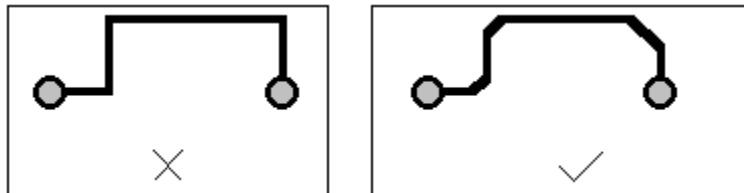
主要针对高频信号设计而言，即布线长度不得与其波长成整数倍关系，以免产生谐振现象。

11) 走线长度控制规则：

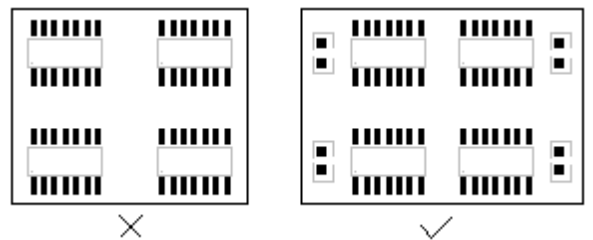


即短线规则，在设计时应该尽量让布线长度尽量短，以减少由于走线过长带来的干扰问题，特别是一些重要信号线，如时钟线，务必将其振荡器放在离器件很近的地方。对驱动多个器件的情况，应根据具体情况决定采用何种网络拓扑结构。

12) 倒角规则:



PCB设计中应避免产生锐角和直角，

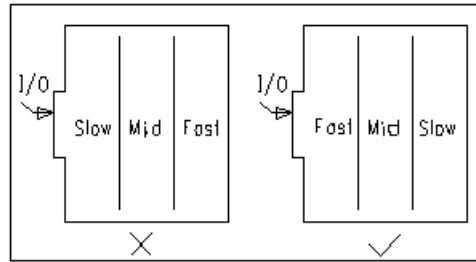


产生不必要的辐射，同时工艺性能也不好。

13) 器件去藕规则:

- A. 在印制板上增加必要的去藕电容，滤除电源上的干扰信号，使电源信号稳定。在多层板中，对去藕电容的位置一般要求不太高，但对双层板，去藕电容的布局及电源的布线方式将直接影响到整个系统的稳定性，有时甚至关系到设计的成败。
- B. 在双层板设计中，一般应该使电流先经过滤波电容滤波再供器件使用，同时还要充分考虑到由于器件产生的电源噪声对下游的器件的影响，一般来说，采用总线结构设计比较好，在设计时，还要考虑到由于传输距离过长而带来的电压跌落给器件造成的影响，必要时增加一些电源滤波环路，避免产生电位差。
- C. 在高速电路设计中，能否正确地使用去藕电容，关系到整个板的稳定性。

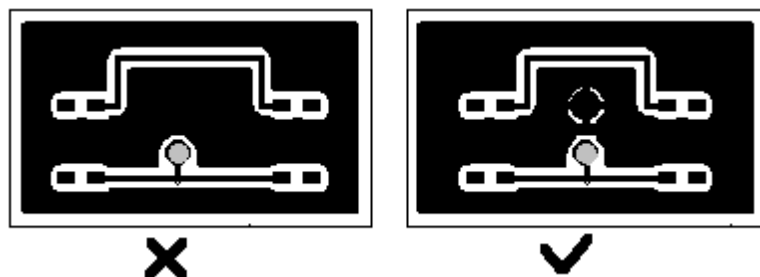
14) 器件布局分区/分层规则:



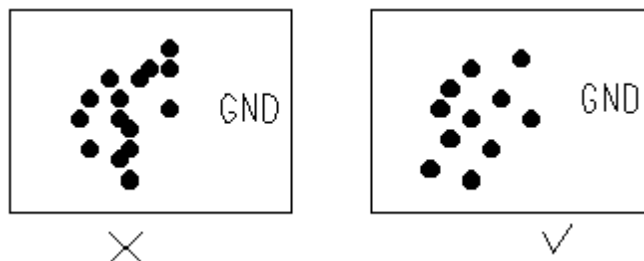
A. 主要是为了防止不同工作频率的模块之间的互相干扰，同时尽量缩短高频部分的布线长度。通常将高频的部分布设在接口部分以减少布线长度，当然，这样的布局仍然要考虑到低频信号可能受到的干扰。同时还要考虑到高/低频部分地平面的分割问题，通常采用将二者的地分割，再在接口处单点相接。

B. 对混合电路，也有将模拟与数字电路分别布置在印制板的两面，分别使用不同的层布线，中间用地层隔离的方式。

15) 孤立铜区控制规则:



孤立铜区的出现，将带来一些不可预知的问题，因此将孤立铜区与别的信号相接，有助于改善信号质量，

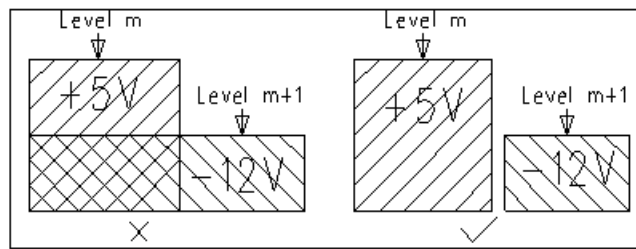


通常是将孤立铜区接地或删除。在实际的制作中，PCB厂家将一些板的空置部分增加了一些铜箔，这主要是为了方便印制板加工，同时对防止印制板翘曲也有一定的作用。

16) 电源与地线层的完整性规则:

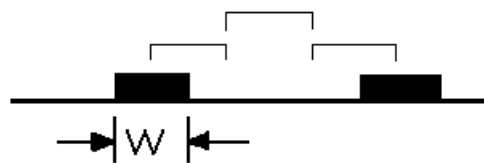
对于导通孔密集的区域，要注意避免孔在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号线在地层的回路面积增大。

17) 重叠电源与地线层规则:



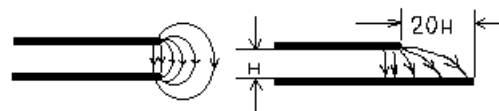
不同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

18) 3W规则:



为了减少线间串扰，应保证线间距足够大，当线中心间距不少于3倍线宽时，则可保持70%的电场不互相干扰，称为3W规则。如要达到98%的电场不互相干扰，可使用10W的间距。

19) 20H规则:



由于电源层与地层之间的电场是变化的，在板的边缘会向外辐射电磁干扰。称为边沿效应。

解决的办法是将电源层内缩，使得电场只在接地层的范围内传导。以一个H（电源和地之间的介质厚度）为单位，若内缩20H则可以将70%的电场限制在接地层边沿内；内缩100H则可以将98%的电场限制在内。

20) 五---五规则:

印制板层数选择规则，即时钟频率到5MHz或脉冲上升时间小于5ns，则PCB板须采用多层板，这是一般的规则，有的时候出于成本等因素的考虑，采用双层板结构时，这种情况下，最好将印制板的一面做为一个完整的地平面层。

6.6 后仿真及设计优化（待补充）

6.7 工艺设计要求

6.7.1 一般工艺设计要求参考《印制电路CAD工艺设计规范》Q/DKBA-Y001-1999

6.7.2 功能板的ICT可测试要求

- A. 对于大批量生产的单板，一般在生产中要做ICT（In Circuit Test），为了满足ICT测试设备的要求，PCB设计中应做相应的处理，一般要求每个网络都要至少有一个可供测试探针接触的测试点，称为ICT测试点。
- B. PCB上的ICT测试点的数目应符合ICT测试规范的要求，且应在PCB板的焊接面，检测点可以是器件的焊点，也可以是过孔。
- C. 检测点的焊盘尺寸最小为24mils（0.6mm），两个单独测试点的最小间距为60mils(1.5mm)。
- D. 需要进行ICT测试的单板，PCB的对角上要设计两个125MILS的非金属化的孔，为ICT测试定位用。

6.7.3 PCB标注规范。

钻孔层中应标明印制板的精确的外形尺寸，且不能形成封闭尺寸标注；所有孔的尺寸和数量并注明孔是否金属化。

7. 设计评审

7.1 评审流程

设计完成后，根据需要可以由PCB设计者或产品硬件开发人员提出PCB设计质量的评审，其工作流程和评审方法参见《PCB设计评审规范》。

7.2 自检项目

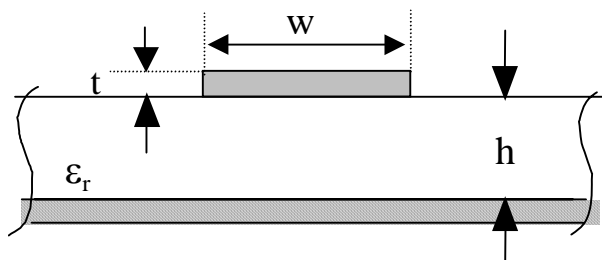
如果不需要组织评审组进行设计评审，可自行检查以下项目。

- 7.2.1 检查高频、高速、时钟及其他脆弱信号线，是否回路面积最小、是否远离干扰源、是否有多余的过孔和绕线、是否有垮地层分割区
- 7.2.2 检查晶体、变压器、光藕、电源模块下面是否有信号线穿过，应尽量避免在其下穿线，特别是晶体下面应尽量铺设接地的铜皮。
- 7.2.3 检查定位孔、定位件是否与结构图一致，ICT定位孔、SMT定位光标是否加上并符合工艺要求。
- 7.2.4 检查器件的序号是否按从左至右的原则归宿无误的摆放规则，并且无丝印覆盖焊盘；检查丝印的版本号是否符合版本升级规范，并标识出。
- 7.2.5 报告布线完成情况是否百分之百；是否有线头；是否有孤立的铜皮。
- 7.2.6 检查电源、地的分割正确；单点共地已作处理；

-
- 7.2.7 检查各层光绘选项正确，标注和光绘名正确；需拼板的只需钻孔层的图纸标注。
- 7.2.8 输出光绘文件，用CAM350检查、确认光绘正确生成。
- 7.2.9 按规定填写PCB设计（归档）自检表，连同设计文件一起提交给工艺设计人员进行工艺审查。
- 7.2.10对工艺审查中发现的问题，积极改进，确保单板的可加工性、可生产性和可测试性。

附录A: 传输线有关参数的计算公式

1.1 微带线 (Microstrip)



$$\text{特性阻抗} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} (\Omega)$$

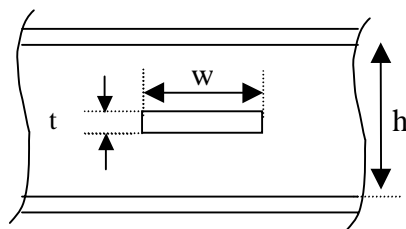
$$\text{传输延迟} \quad t_{PD} = 1.017 \sqrt{0.457 \epsilon_r + 0.67} (ns/ft)$$

$$\text{或} \quad 85 \sqrt{0.475 \epsilon_r + 0.67} (ps/inch)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$$

$$\text{固有电感} \quad L_0 = Z_0^2 C_0 (pH/ft)$$

1.2 带状线 (Stripline)



$$\text{特性阻抗} \quad Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67 \pi w (0.8 + t/w)} (\Omega)$$

$$\text{传输延迟} \quad t_{PD} = 1.017 \sqrt{\epsilon_r} (ns/ft) \quad \text{或} \quad 85 \sqrt{\epsilon_r} (ps/inch)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$$

$$\text{固有电感} \quad L_0 = Z_0^2 C_0 (pH/ft)$$

1.3 经验数据

对FR-4材料 (ϵ_r 在4.5~5之间): 75 Ω 微带线, $w \approx h$; 50 Ω 微带线, $w \approx 2h$; 25 Ω 微带线, $w \approx 3.5h$ 。75 Ω 带状线, $w = h/8$; 50 Ω 带状线, $w = h/3$ 。

附录B: PCB设计作业流程。

